

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-124396

(43)Date of publication of application : 17.05.1996

(51)Int.Cl.

G11C 29/00

(21)Application number : 06-258016

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 24.10.1994

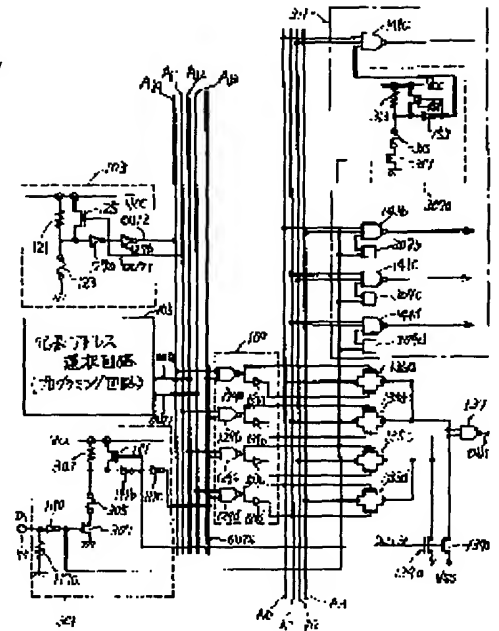
(72)Inventor : OISHI TSUKASA

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To provide a semiconductor memory which can access a spare memory cell at high speed without cutting a fuse for changing an address to a spare memory cell and a fuse for testing operation of a spare memory cell.

CONSTITUTION: A resistor 303, a fuse 305, and a N channel MOS transistor 307 are provided between a power source potential node Vcc and a ground potential node in this order in a redundant selecting circuit 301 of a decoding part in a semiconductor memory. Thereby, an equivalent state to the state in which a fuse 305 is cut can be obtained by turning off a switching transistor 307. Therefore, a test of a spare memory cell can be performed at high speed without cutting any of fuses 123 of the redundant address selecting circuits 103, 105, fuses 315 of redundant fuse circuits 309a-309d, and without taking a time for discharging the N channel MOS transistor 307.



LEGAL STATUS

[Date of request for examination]

05.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-124396

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl.⁶

G 1 1 C 29/00

識別記号

庁内整理番号

F I

技術表示箇所

3 0 1 B 9459-5L

審査請求 未請求 請求項の数14 O L (全 34 頁)

(21) 出願番号 特願平6-258016

(22) 出願日 平成6年(1994)10月24日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 大石 司

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社ユー・エル・エス・アイ開発研究

所内

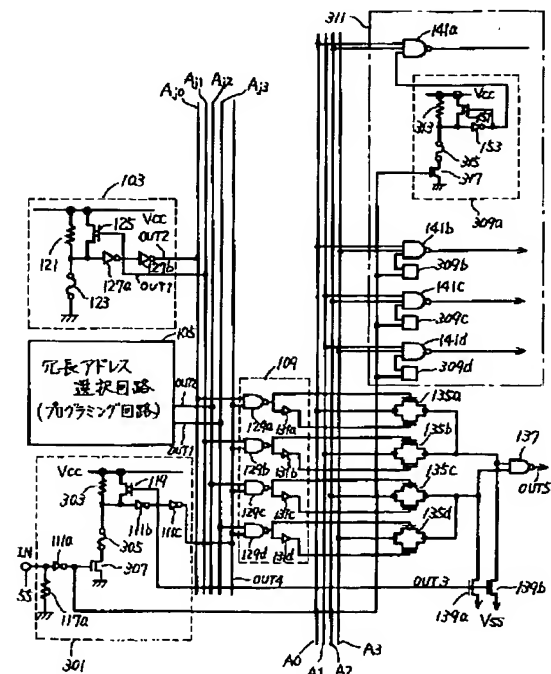
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 スペアメモリセルへのアドレス変更用のヒューズおよびスペアメモリセルの動作試験用のヒューズを切断することなく、またそのスペアメモリセルに高速にアクセス可能な半導体記憶装置を提供する。

【構成】 半導体記憶装置におけるデコード部分の冗長選択回路301には電源電位ノードVccと接地電位ノードとの間に抵抗303、ヒューズ305、スイッチングトランジスタとしてのNチャネルMOSトランジスタ307がこの順で設けられ、スイッチングトランジスタ307がオフすることでヒューズ305が切断された状態と等価な状態が得られ、冗長アドレス選択回路103、105のヒューズ123および冗長ヒューズ回路309a~309dのヒューズ315のいずれのヒューズも切断されずに、NチャネルMOSトランジスタ307の放電にも時間がかからず、高速にスペアメモリセルの検査を行なえる。



【特許請求の範囲】

【請求項 1】 複数のメモリセル、

前記複数のメモリセルのいずれかのメモリセルにアクセスするためにプログラムされるべきプログラム素子、
前記プログラム素子の一端と第 1 電位ノードとの間に接続される電荷供給手段、および前記プログラム素子の他端と第 2 電位ノードとの間に接続されるスイッチング手段を備え、

前記スイッチング手段は、所定の固定電位が与えられることに応じて、オンまたはオフする半導体記憶装置。

【請求項 2】 複数のメモリセル、

前記複数のメモリセルのいずれかと置換えられるスペアメモリセル、

前記複数のメモリセルのいずれかにアクセスするためのアドレスを前記スペアメモリセルにアクセスするためのアドレスに変更する第 1 のプログラム素子、および前記スペアメモリセルを検査するためのスペアメモリセル選択手段を備え、

前記スペアメモリセル選択手段は、

第 2 のプログラム素子と、

前記第 2 のプログラム素子の一端と第 1 電位ノードとの間に接続される電荷供給手段と、

前記第 2 のプログラム素子の他端と第 2 電位ノードとの間に接続され、所定の固定電位が与えられることに応じてオンまたはオフするスイッチング手段とを含む、半導体記憶装置

【請求項 3】 前記第 2 のプログラム素子はヒューズを含み、

前記電荷供給手段は抵抗手段を含み、

前記スイッチング手段はスイッチングトランジスタを含む、請求項 2 記載の半導体記憶装置。

【請求項 4】 前記第 2 のプログラム素子はヒューズを含み、

前記電荷供給手段は、間欠信号に応じて制御されてオンまたはオフする第 1 のスイッチングトランジスタを含み、

前記スイッチング手段は第 2 のスイッチングトランジスタを含む、請求項 2 記載の半導体記憶装置。

【請求項 5】 前記第 2 のプログラム素子はヒューズを含み、

前記電荷供給手段は、基準電位が与えられることに応じて制御される第 1 導電型トランジスタを含み、

前記スイッチング手段は、

前記ヒューズの他端と前記第 2 電位ノードとの間に接続され、前記固定電位が与えられることに応じてオンまたはオフする第 2 導電型スイッチングトランジスタと、

前記ヒューズの一端と前記第 1 電位ノードとの間に接続され、前記固定電位が与えられることに応じてオンまたはオフする第 1 導電型スイッチングトランジスタとを含む、請求項 2 記載の半導体記憶装置。

【請求項 6】 複数のメモリセル、

前記複数のメモリセルのいずれかに置換えられるスペアメモリセル、

前記複数のメモリセルのいずれかにアクセスするためのアドレスを前記スペアメモリセルにアクセスするためのアドレスに変更する変更手段、および前記スペアメモリセルを検査するためのスペアメモリセル選択手段を備え、

前記変更手段は、

第 1 のプログラム素子と、

前記第 1 のプログラム素子の一端と第 1 電位ノードとの間に接続される第 1 の電荷供給手段と、

前記第 1 のプログラム素子の他端と第 2 電位ノードとの間に接続され、所定の固定電位が与えられることに応じてオンまたはオフする第 1 のスイッチング手段とを含む、

前記スペアメモリセル選択手段は、

第 2 のプログラム素子と、

前記第 2 のプログラム素子の一端と第 1 電位ノードとの間に接続される第 2 の電荷供給手段と、

前記第 2 のプログラム素子の他端と第 2 電位ノードとの間に接続され、前記固定電位が与えられることに応じてオンまたはオフする第 2 のスイッチング手段とを含む、半導体記憶装置。

【請求項 7】 前記第 1 のプログラム素子は第 1 のヒューズを含み、

前記第 1 の電荷供給手段は、基準電位が与えられることに応じて制御される第 1 の第 1 導電型トランジスタを含み、

前記第 1 のスイッチング手段は、

前記第 1 のヒューズの他端と前記第 2 電位ノードとの間に接続され、前記固定電位が与えられることに応じてオンまたはオフする第 1 の第 2 導電型スイッチングトランジスタと、

前記第 1 のヒューズの一端と前記第 1 電位ノードとの間に接続され、前記固定電位が与えられることに応じてオンまたはオフする第 1 の第 1 導電型スイッチングトランジスタとを含む、

前記第 2 のプログラム素子は第 2 のヒューズを含み、

前記第 2 の電荷供給手段は、基準電位が与えられることに応じて制御される第 2 の第 1 導電型トランジスタを含み、

前記第 2 のスイッチング手段は、

前記第 2 のヒューズの他端と前記第 2 電位ノードとの間に接続され、前記固定電位が与えられることに応じてオンまたはオフする第 2 の第 2 導電型スイッチングトランジスタと、

前記第 2 のヒューズの一端と前記第 1 電位ノードとの間に接続され、前記固定電位が与えられることに応じてオンまたはオフする第 2 の第 1 導電型スイッチングトラン

ジスタとを含む、請求項6記載の半導体記憶装置。

【請求項8】 複数のメモリセル、
それぞれが前記複数のメモリセルのいずれかに置換えられる複数のスペアメモリセル、
前記複数のメモリセルのいずれかにアクセスするためのアドレスを前記複数のスペアメモリセルのいずれかにアクセスするためのアドレスに変更するようにそれぞれがプログラムされる複数のプログラム素子、
前記複数のプログラム素子のそれぞれの一端と第1電位ノードとの間にそれぞれが接続され、プリチャージ信号に応じてオンまたはオフする複数の第1のスイッチング手段、
前記複数のプログラム素子のそれぞれの他端と第2電位ノードとの間にそれぞれが接続される複数の第2のスイッチング手段、および前記各スペアメモリセルをアクセスするためのアドレスに応じて、その各スペアメモリセルをアクセスするためにプログラムされるべきプログラム素子に接続される対応の第2のスイッチング手段に所定の固定電位を与えてオンまたはオフを制御する制御手段を備えた、半導体記憶装置。

【請求項9】 前記複数のプログラム素子は複数のヒューズを含み、
前記複数の第1のスイッチング手段は複数の第1導電型スイッチングトランジスタを含み、
前記複数の第2スイッチング手段は複数の第2導電型スイッチングトランジスタを含み、
前記制御手段は、
前記固定電位が制御電極に与えられ、前記各スペアメモリセルをアクセスするためのアドレスが第1電極に与えられ、第2電極が対応の第2導電型スイッチングトランジスタに接続される第1導電型トランジスタと、
前記固定電位の反転電位が制御電極に与えられ、前記第1導電型トランジスタに並列に接続される第1の第2導電型トランジスタと、
前記固定電位が制御電極に与えられ、第2の電位ノードに第1の電極が接続され、第2の電極が前記対応の第2導電型スイッチングトランジスタに接続される第2の第2導電型トランジスタとを含む、請求項8記載の半導体記憶装置。

【請求項10】 それぞれが行および列方向に配設された複数のメモリセル、
それぞれが前記複数のメモリセルのいずれかと置換えられ、かつ、それぞれが各行および各列に対応して配設された複数のスペアメモリセル、
前記複数のスペアメモリセルを行方向で指定して検査するための第1の検査手段、および前記複数のスペアメモリセルを列方向で指定して検査するための第2の検査手段を備えた、半導体記憶装置。

【請求項11】 複数のメモリセルを有するメモリセルアレイ、

前記メモリセルアレイの外部に設けられるスペアメモリセル、
前記スペアメモリセルをアクセスするためのアドレスのプログラム設定を行なうプログラム設定手段、
前記複数のメモリセルのいずれかをアクセスするためのアドレスと前記プログラム設定手段が設定したアドレスとを比較する比較手段、
前記スペアメモリセルをアクセスするためのアドレスとそのアドレスに対応の前記複数のメモリセルのいずれかをアクセスするためのアドレスとに応じて、前記スペアメモリセルおよび対応のメモリセルを活性化する活性化手段、および前記比較手段の比較結果に応じて、前記活性化手段で活性化された前記スペアメモリセルおよび前記対応のメモリセルの一方のみにアクセスするように制御するアクセス制御手段を備えた、半導体記憶装置。

【請求項12】 ワード線に沿って行方向に配設され、ビット線に沿って列方向に配設された複数のメモリセルを有するメモリセルアレイ、
スペアワード線に沿って行方向に配設され、スペアビット線に沿って列方向に配設された複数のスペアメモリセルを有するスペアメモリセルアレイ、
前記複数のスペアメモリセルのいずれかをアクセスするためのアドレスのプログラム設定を行なうプログラム設定手段、
前記複数のメモリセルのいずれかをアクセスするためのアドレスと前記プログラム設定手段がプログラム設定したアドレスとを比較する比較手段、
前記ビット線の電位または前記スペアビット線の電位を増幅する増幅手段、
前記複数のメモリセルのいずれかをアクセスするためのアドレスと前記プログラム設定手段がプログラム設定したアドレスに応じて、前記ワード線および前記スペアワード線を活性化する活性化手段、および前記比較手段の比較結果に応じて、前記増幅手段と前記ビット線または前記スペアビット線とを接続する接続手段を備えた、半導体記憶装置。

【請求項13】 前記スペアビット線は前記ビット線よりも短く、または、前記スペアワード線は前記ワード線よりも短いことを特徴とする、請求項12記載の半導体記憶装置。

【請求項14】 ワード線に沿って行方向に配設され、ビット線に沿って列方向に配設された複数のメモリセルを有する第1のメモリセルアレイ、
ワード線に沿って行方向に配設され、ビット線に沿って列方向に配設された複数のメモリセルおよび複数のスペアメモリセルを有する第2のメモリセルアレイ、
前記第2のメモリセルアレイの複数のスペアメモリセルのいずれかをアクセスするためのアドレスのプログラム設定を行なうプログラム設定手段、
前記第1のメモリセルアレイの複数のメモリセルのい

れかをアクセスするためのアドレスと前記プログラム設定手段が設定したアドレスとを比較する比較手段、前記第1のメモリセルアレイのビット線の電位または前記第2のメモリセルアレイのビット線の電位を増幅する増幅手段、前記第1のメモリセルアレイの複数のメモリセルのいずれかをアクセスするためのアドレスと前記プログラム設定手段がプログラム設定したアドレスに応じて、前記第1のメモリセルアレイのワード線および前記第2のメモリセルアレイのワード線を活性化する活性化手段、および前記比較手段の比較結果に応じて、前記増幅手段と前記第1のメモリセルアレイのビット線または前記第2のメモリセルアレイのビット線とを接続する接続手段を備えた、半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体記憶装置に関し、特に、ヒューズのようなプログラム素子が用いられた半導体記憶装置に関する。

【0002】

【従来の技術】図16は、従来の半導体記憶装置のデコード部を示した回路図である。

【0003】図16を参照して、正規メモリ回路1a、1b、1c、1dとスペアメモリ回路5とが設けられている。正規メモリ回路1a～1dおよびスペアメモリ回路5のそれぞれは、メモリセルおよびスペアメモリセルを形成している。すなわち、ビット線対BL、 \overline{BL} とスペアワード線WLsにはスペアメモリ回路5が設けられ、ビット線対BL、 \overline{BL} とワード線WL0、WL1、WL2、WL3のそれぞれには正規メモリ回路1a、1b、1c、1dが設けられる。

【0004】正規メモリ回路1a、1b、1c、1dのいずれかに不良が生じた場合、そのアドレスを選択するためにプログラム設定を行なうプログラミング回路7、9が設けられている。プログラミング回路7、9それぞれの出力を受けてスペアメモリ回路5をデコードするスペアデコーダ11も設けられ、これに対して正規メモリ回路1a、1b、1c、1dのいずれかをデコードする正規デコーダ3も設けられている。

【0005】さらに、スペアデコーダ11の出力を活性化するためのスペアメモリイネーブルプログラミング回路13も設けられており、外部テスト信号入力端子17により外部テスト信号が入力されたことに応じて、イネーブル信号EBLを出力するスペアメモリテスト選択回路15も設けられている。

【0006】動作について簡単に説明する。A ϕ 入力端子19にアドレス信号A ϕ が人力され、A1入力端子21にアドレス信号A1が入力される。たとえば、A ϕ =0、A1=0のとき、正規デコーダ3によってデコードが行なわれてワード線WL0が活性化されて正規メモリ

回路1aが選択される。同様に、A ϕ =0、A1=1のとき、正規メモリ回路1bが選択され、A ϕ =1、A1=0のとき正規メモリ回路1cが選択され、A ϕ =1、A1=1のとき正規メモリ回路1dが選択される。

【0007】次に、各正規メモリ回路1a～1dの機能試験の結果、正規メモリ回路1bが不良であったとする。そこで、この不良の正規メモリ回路1bがスペアメモリ回路5と置換えられなければならない。したがって、A ϕ =0、A1=1のとき、正規メモリ回路1bではなく、スペアメモリ回路5が選択されるようにプログラミング回路7、9のそれぞれにおいてプログラム設定が行なわれる必要がある。すなわち、プログラミング設定回路7のヒューズ23が切断され、プログラミング回路9のヒューズは切断されなければよい。

【0008】これにより、プログラミング回路7、9の出力はともにHレベルとなり、スペアデコーダ11からHレベルのSAME信号が出力される。

【0009】次に、テスト信号入力端子17からHレベルの信号がスペアメモリ選択回路15に入力される。一方、スペアメモリイネーブルプログラミング回路13のヒューズ25は切断されていないため、スペアメモリイネーブルプログラミング回路13からLレベルの信号がスペアメモリ選択回路15に入力される。スペアメモリ選択回路15は、両者の入力により、Hレベルのイネーブル信号EBLを出力する。SAME信号およびイネーブル信号EBLはゲート回路27を通過してNED信号として出力される。

【0010】これにより、正規デコーダ3の出力は非活性化されて、正規メモリ回路1bの代わりにスペアメモリ回路5が選択される。

【0011】次に、スペアメモリ回路5の機能試験が行なわれる。その結果良のときには、スペアメモリイネーブルプログラミング回路13のヒューズ25が切断されてプログラム設定が行なわれる。これにより、回路全体として良品チップが得られる。

【0012】一方で試験の結果が不良のとき、置換が行なわれても良品のチップが得られるわけでないため、そのチップが排棄される。これにより、スペアメモリイネーブルプログラミング回路13におけるプログラム設定が省略される。

【0013】以上のように、図16に示した従来の半導体記憶装置では、スペアメモリイネーブルプログラミング回路13のヒューズ25が切断される前にスペアメモリ回路の試験を行なうことができるが、プログラミング回路7、9のヒューズ23等は切断されなければならない。一方、このようなプログラミング回路7、9のヒューズをも切断することなくスペアメモリセルの試験を行なう半導体記憶装置もある。そこで、以下にこのような半導体記憶装置について説明する。

【0014】図17は、従来の他の半導体記憶装置の冗

長制御部の回路図である。図17を参照して、この冗長制御部においては、冗長アドレス選択回路（プログラミング回路）103、105と、冗長選択回路（スเปアメモリテスト選択回路）101と、正規アドレスデコーダ107と、冗長アドレスデコーダ109とが設けられている。

【0015】冗長アドレス選択回路103は、抵抗121と、ヒューズ123と、PチャネルMOSトランジスタ125と、インバータ回路127a、127bとが含まれる。そして、インバータ回路127aの出力は、出力OUT1として出力されて冗長アドレス信号Aj1となり、インバータ回路127bの出力は、出力OUT2として冗長アドレス信号Aj0となる。冗長アドレス選択回路105は、冗長アドレス選択回路103と同様の内部構成をしている。

【0016】冗長選択回路101は、テスト信号入力端子155から入力されるテスト信号に応じて、出力OUT3と出力OUT4を出力する。冗長選択回路101は、抵抗117a、117bと、インバータ回路111a、111b、111cと、NチャネルMOSトランジスタ113と、ヒューズ115と、PチャネルMOSトランジスタ119とを含む。そして、インバータ回路111bの出力は出力OUT3として出力され、インバータ回路111cの出力は出力OUT4として出力される。

【0017】特に、冗長選択回路101において、抵抗117bの一端は電源電位ノードVccに接続され、他端はNチャネルMOSトランジスタ113のドレインに接続されている。NチャネルMOSトランジスタ113のソースはヒューズ115の一端に接続され、ヒューズ115の他端は電源Vssに接続されている。すなわち、抵抗117b、NチャネルMOSトランジスタ113、ヒューズ115の順に直列に接続されている。

【0018】冗長アドレスデコーダ109は、NAND回路129a～129dと、インバータ回路131a～131dとを含む。冗長アドレスデコーダ109には、冗長アドレス信号Aj0、Aj1、Aj2、Aj3と出力OUT4とが入力されて、NAND回路129a～129dから直接またはインバータ回路131a～131dを介して転送ゲート135a～135dに出力が与えられる。転送ゲート135a～135dの出力はNAND回路137に与えられ、NAND回路137には、他にも出力OUT3がゲートに入力されるNチャネルMOSトランジスタ139a、139bからの出力が与えられる。そして、NAND回路137は図示しない冗長デコーダを活性または非活性にするための出力OUT5を出力する。

【0019】正規アドレスデコーダ107は、NAND回路141a～141dと、冗長ヒューズ回路143a～143dとを含む。冗長ヒューズ回路143a～14

3dには、冗長選択回路101のインバータ回路111aからの出力が入力される。冗長ヒューズ回路143aは、抵抗149と、ヒューズ147と、NチャネルMOSトランジスタ145と、PチャネルMOSトランジスタ151と、インバータ回路153とを含む。特に、抵抗149の一端は電源電位ノードVccに接続され、他端はNチャネルMOSトランジスタ145のドレインに接続されている。NチャネルMOSトランジスタ145のソースはヒューズ147の一端に接続され、ヒューズ147の他端は電源Vssに接続されている。すなわち、抵抗149、NチャネルMOSトランジスタ145、ヒューズ147の順に直列に接続されている。冗長ヒューズ回路143b～143dも、冗長ヒューズ回路143aと同様の内部構成をしている。

【0020】次に、動作について説明する。まず通常のメモリセルの動作試験時においては、テスト信号入力端子155からLレベルのテスト信号INが冗長選択回路101に入力される。これにより、インバータ回路111aの出力信号はHレベルとなり、冗長ヒューズ回路143a～143dのNチャネルMOSトランジスタ145がオンされて冗長ヒューズ回路143a～143dの出力はHレベルとなる。したがって、NAND回路141a～141dはアドレス信号A0～A3を待つ状態となる。

【0021】冗長選択回路101のインバータ回路111cの出力信号OUT4はLレベルとなり、NAND回路129a～129dの出力信号はHレベルとなる。そのため、転送ゲート135a～135dはすべてオフとなる。冗長選択回路101のインバータ回路111bの出力信号OUT3はHレベルとなり、NチャネルMOSトランジスタ139a、139bはオン状態となる。したがって、NAND回路137の入力信号はともにLレベルとなって出力信号OUT5はHレベルとなる。そのため、このHレベルの出力信号OUT5により、図示しない冗長デコーダは不活性となる。

【0022】したがって、冗長選択回路101の入力信号INがLレベルであれば、アドレス信号A0～A3に基づいて通常のメモリセルが正規アドレスデコーダ107によって選択されて、その動作試験が行なわれる。

【0023】次に、冗長メモリセルであるスぺアメモリセルの動作試験が行なわれる場合においては、冗長選択回路101にHレベルの入力信号INが入力される。そのため、インバータ回路111aの出力信号はLレベルとなり、冗長ヒューズ回路143a～143dのNチャネルMOSトランジスタ145がオフされて、冗長ヒューズ回路143a～143dの出力信号はLレベルとなる。したがって、NAND回路141a～141dの出力信号はアドレス信号A0～A3にかかわらず、Hレベルとなるため通常のメモリセルを選択する正規アドレスデコーダ107が不活性状態となる。

【0024】冗長選択回路101のインバータ回路111cの出力信号OUT4はHレベルとなり、NAND回路129a～129dは冗長アドレス信号A_j0～A_j3を待つ状態となる。そして、冗長アドレス選択回路103、105の出力信号に基づく冗長アドレス信号A_j0～A_j3に応じて転送ゲート135a、135bのいずれか一方と転送ゲート135c、135dのいずれか一方がオンされて、アドレス信号A0～A3のうちいずれか2ビットの信号がNAND回路137に入力される。

【0025】冗長アドレス選択回路103、105の出力信号に対応するアドレス信号A0～A3が設定されて入力されることにより、NAND回路137の入力信号とともにHレベルとすれば、NAND回路137の出力信号OUT5はLレベルとなる。そのため、図示しない冗長デコードが活性化され、スベアメモリセルが選択されて、その動作試験が行なわれる。

【0026】このような動作試験において通常のメモリセルに不良のメモリセルが発見された場合には、冗長ヒューズ回路143a～143dのうち不良のメモリセルが接続されるワード線に対応する冗長ヒューズ回路のヒューズ147が切断され、さらに冗長選択回路101のヒューズ115も切断される。

【0027】そして、不良のメモリセルが発生したワード線が選択されるアドレス信号A0～A3に対応するような冗長アドレス信号A_j0～A_j3を出力するように、冗長アドレス選択回路103、105のヒューズ123がプログラム設定されることで、不良のメモリセルが選択されるアドレス信号A0～A3が入力された場合には、NAND回路137の出力信号がLレベルとなる。したがって、不良のメモリセルに代えて冗長のスベアメモリセルが選択される。

【0028】以上をまとめる。冗長選択回路101のヒューズ115、冗長ヒューズ回路143a～143dのヒューズ147、および冗長アドレス選択回路103、105のヒューズ123のいずれも切断されることなく、通常のメモリセルおよび冗長のスベアメモリセルのいずれかが選択されて動作試験が行なわれる。

【0029】図18は、従来のメモリセルおよびスベアメモリセルの試験後に得られた半導体記憶装置を示した概略ブロック図であり、図19は、図18の要部拡大図である。

【0030】図18および図19を参照して、半導体記憶装置201では、メモリセルアレイ203a、203b、203cのようにいくつかに分割され、それぞれのメモリセルアレイ間にはセンスアンプ領域205a、205b、205c、205dが形成されている。すなわち、メモリセルアレイ203aはセンスアンプ領域205aとセンスアンプ領域205bの間に設けられ、メモリセルアレイ203bはセンスアンプ領域205bとセ

ンスアンプ領域205cとの間に設けられ、メモリセルアレイ203cはセンスアンプ領域205cとセンスアンプ領域205dとの間に設けられている。

【0031】メモリセルアレイ203aはスベアメモリセルを有するスベアメモリ領域225aと正規メモリセルを有する正規メモリ領域227aで構成されている。同様に、メモリセルアレイ203bはスベアメモリ領域225bと正規メモリ領域227bで構成され、メモリセルアレイ203cはスベアメモリ領域225cと正規メモリ領域227cで構成されている。たとえば、メモリセルアレイ203cに着目すると、図19に示すように、スベアメモリ領域225cと正規メモリ領域227cにわたってビット線BLが配線されており、スベアメモリ領域225cにはスベアワード線WLsが配線されており、正規メモリ領域227cには正規のワード線WLが配線されている。このようなビット線BLとスベアワード線WLsとの交点にスベアメモリセルが形成され、ビット線BLと正規ワード線WLとの交点に正規のメモリセルが形成されている。

【0032】次に、たとえばセンスアンプ領域205cに着目すると、図19に示すようにセンスアンプ213a、213b、213cがビット線BLに対応して設けられている。センスアンプ213aはビット線BLと接続トランジスタ215aで接続されており、センスアンプ213bはビット線BLと接続トランジスタ215bで接続されており、センスアンプ213cはビット線BLと接続トランジスタ215cで接続されている。この接続トランジスタ215a、215b、215cは後で説明するアドレスバッファ217から出力される内部アドレス信号に応じてオン、オフしてセンスアンプとビット線との接続状態を制御する。また、センスアンプ213a、213b、213cには図示していないがメモリセルアレイ203b側にも接続トランジスタが接続されている。

【0033】図18に戻って、半導体記憶装置201においては、メモリセルアレイ203aに対応してロウデコード207aが設けられ、メモリセルアレイ203bに対応してロウデコード207bが設けられ、メモリセルアレイ203cに対応してロウデコード207cが設けられている。さらに、半導体記憶装置201においては、アドレスバッファ217と、比較回路219と、プログラミング回路221と、遅延回路223とが設けられている。

【0034】ロウデコード207aは、メモリセルアレイ203aの正規メモリ領域227aに対応する正規デコード領域211aと、スベアメモリ領域225aに対応するスベアデコード領域209aで構成されている。同様に、ロウデコード207bは、メモリセルアレイ203bの正規メモリ領域227bに対応する正規デコード領域211bと、スベアメモリ領域225bに対応す

るスペアデコード領域209bとで構成され、ロウデコード207cは、メモリセルアレイ203cの正規メモリ領域の227cに対応する正規デコード領域211cと、スペアメモリ領域225cに対応するスペアデコード領域209cとで構成されている。

【0035】アドレスバッファ217は、外部アドレス信号が入力されて、内部アドレス信号を前述の接続トランジスタ215aなどと、ロウデコード207cなどに与える。プログラミング221は、その内部でプログラムされているスペアアドレスを比較回路219に与える。比較回路219は、プログラム回路221から与えられたスペアアドレスとアドレスバッファ217から与えられる内部アドレスとを比較し、その比較結果を遅延回路223とロウデコード207cなどに与える。遅延回路223は比較回路219から与えられた信号を遅延させてスペアロウデコード領域209cなどに与える。

【0036】次に、動作について説明する。まず、正規ワード線WLが不良の場合でなく良好な場合について説明する。アドレスバッファ217は外部から入力された外部アドレス信号を内部アドレス信号に変換してロウデコード207a、207b、207cに与える。また、アドレスバッファ217は、内部アドレス信号をセンスアンプ領域205a、205b、205cのそれぞれの接続トランジスタに与えて、接続状態とすべき接続トランジスタを選択する。たとえば、メモリセルアレイ203cの正規ワード線WLが選択されて、センスアンプ領域205cの接続トランジスタ215aが活性化されたとする。この場合、活性化された接続トランジスタ215aはセンスアンプ213aとビット線BLと接続し、活性化された正規ワード線WLとセンスアンプ213aに接続されたビット線BLとの交点のメモリセルから、データがセンスアンプ213aに出力され、センスアンプ213aから増幅されたデータが得られる。

【0037】次に、正規ワード線WLが不良の場合に、スペアワード線WLsが選択される場合について説明する。アドレスバッファ217の出力である内部アドレス信号によって、選択されたセンスアンプ領域の接続トランジスタが活性化され、ロウデコードによって選択された不良の正規ワード線WLが活性化される。この活性化された不良の正規ワード線WLを非活性化し、逆にスペアワード線WLsを活性化するため、比較回路219からはそのことを表わすヒット信号が遅延回路223とロウデコード207cに与えられる。ヒット信号によってロウデコード207cは不良の正規ワード線WLを非活性化し、遅延回路223によって不良の正規ワード線が活性化された状態から非活性化された状態に至るまでの間の時間遅延されたヒット信号によって、スペアワード線WLsが活性化される。

【0038】これにより、活性化されたスペアワード線WLsとたとえば接続トランジスタ215aが活性化さ

れたことでセンスアンプ213aに接続されたビット線BLとの交点のスペアメモリセルのデータが、センスアンプ213aに出力される。そして、センスアンプ231aはスペアメモリセルのデータを増幅して出力する。

【0039】

【発明が解決しようとする課題】図16に示した半導体記憶装置においては、スペアメモリセルを有するスペアメモリ回路5の動作試験を行なうためには、スペアメモリセルをアクセスするようにプログラミング回路7、9のプログラムが行なわれる必要がある。すなわち、プログラミング回路7、9のヒューズ23がプログラムされる必要がある。さらに、各冗長ごとにイネーブル信号を出力するようにしているため、たとえば冗長回路が増加した際には各冗長に対しての制御が困難となる。したがって、その回路構成が複雑化してスペアメモリセルをすべて試験するには限界がある。

【0040】また、図17に示す従来の半導体記憶装置においては、図16に示した従来の半導体記憶装置と異なり、スペアメモリセルを試験するためにプログラム設定が行なわれなくてすむが、冗長選択回路101において抵抗117b、NチャネルMOSトランジスタ113、ヒューズ115の順に接続されているため、ヒューズ115の一端と他端間にある電位差が生じて、NチャネルMOSトランジスタ113の放電に時間がかかる。したがって、アクセススピードにおいて問題が生じる。このことは、冗長ヒューズ回路143a、143b、143c、143dにおいても、同様である。すなわち、冗長ヒューズ回路143aでは、抵抗149、NチャネルMOSトランジスタ145、ヒューズ147の順に直列接続されているため、ヒューズ147の一端と他端間にある電位差が生じてNチャネルMOSトランジスタ145の放電に時間がかかる。したがって、アクセススピードの点に問題が生じる。

【0041】次に、図18および図19に示した半導体記憶装置においては、比較回路219が比較した結果が不良のアドレスとスペアアドレスとが一致したことを示す場合には、不良の正規ワード線WLが活性化状態から非活性化状態になるまでの時間、すなわち遅延回路223が遅延させる時間分だけアクセススピードに問題がある。

【0042】ゆえに、本発明の第1の目的は、スペアメモリセルの動作試験を行なう場合において冗長選択回路（スペアメモリテスト選択回路15）101のプログラム素子をプログラムすることなく、さらに冗長アドレス選択回路（プログラミング回路7）103のプログラム素子をプログラムすることなく、アクセス時間をも考慮して正規のメモリセルとスペアメモリセルとを試験可能な半導体記憶装置を提供することである。

【0043】次に、本発明の第2の目的は、不良の正規ワード線が選択されて活性化された場合に生じるような

アクセス時間の問題を解決してアクセススピードを向上させることができるような半導体記憶装置を提供することである。

【0044】

【課題を解決するための手段】請求項1の発明に係る半導体記憶装置は、複数のメモリセル、複数のメモリセルのいずれかのメモリセルにアクセスするためにプログラムされるべきプログラム素子、プログラム素子の一端と第1電位ノードとの間に接続される電荷供給手段、およびプログラム素子の他端と第2電位ノードとの間に接続されるスイッチング手段を備え、スイッチング手段は、所定の固定電位が与えられることに応じてオンまたはオフすることを特徴としている。

【0045】請求項2の発明に係る半導体記憶装置は、複数のメモリセル、複数のメモリセルのいずれかに置換えられるスベアメモリセル、複数のメモリセルのいずれかにアクセスするためのアドレスをスベアメモリセルにアクセスするためのアドレスに変更する第1のプログラム素子、およびスベアメモリセルを検査するためのスベアメモリセル選択手段を備え、スベアメモリセル選択手段は、第2のプログラム素子と、第2のプログラム素子の一端と第1電位ノードとの間に接続される電荷供給手段と、第2のプログラム素子の他端と第2電位ノードとの間に接続され、所定の固定電位が与えられることに応じてオンまたはオフするスイッチング手段とを含んでいる。

【0046】請求項3の発明に係る半導体記憶装置では、請求項2の第2のプログラム素子はヒューズを含み、電荷供給手段は抵抗手段を含み、スイッチング手段はスイッチングトランジスタを含んでいる。

【0047】請求項4の発明に係る半導体記憶装置では、請求項2の第2のプログラム素子はヒューズを含み、電荷供給手段は、間欠信号に応じて制御されてオンまたはオフする第1のスイッチングトランジスタを含み、スイッチング手段は第2のスイッチングトランジスタを含んでいる。

【0048】請求項5の発明に係る半導体記憶装置では、請求項2の第2のプログラム素子はヒューズを含み、電荷供給手段は、基準電位が与えられることに応じて制御される第1導電型トランジスタを含み、スイッチング手段はヒューズの他端と第2電位ノードとの間に接続され、固定電位が与えられることに応じてオンまたはオフする第2導電型スイッチングトランジスタと、ヒューズの一端と第1電位ノードとの間に接続され、固定電位が与えられることに応じてオンまたはオフする第1導電型スイッチングトランジスタとを含んでいる。

【0049】請求項6の発明に係る半導体記憶装置は、複数のメモリセル、複数のメモリセルのいずれかに置換えられるスベアメモリセル、複数のメモリセルのいずれかにアクセスするためのアドレスをスベアメモリセルに

アクセスするためのアドレスに変更する変更手段、およびスベアメモリセルを検査するためのスベアメモリセル選択手段を備え、変更手段は、第1のプログラム素子と、第1のプログラム素子の一端と第1電位ノードとの間に接続される第1の電荷供給手段と、第1のプログラム素子の他端と第2電位ノードとの間に接続され、所定の固定電位が与えられることに応じてオンまたはオフする第1のスイッチング手段とを含み、スベアメモリセル選択手段は、第2のプログラム素子と、第2のプログラム素子の一端と第1電位ノードとの間に接続される第2の電荷供給手段と、第2のプログラム素子の他端と第2電位ノードとの間に接続され、固定電位が与えられることに応じてオンまたはオフする第2のスイッチング手段とを含んでいる。

【0050】請求項7の発明に係る半導体記憶装置では、請求項6の第1のプログラム素子は第1のヒューズを含み、第1の電荷供給手段は、基準電位が与えられることに応じて制御される第1の第1導電型トランジスタを含み、第1のスイッチング手段は、第1のヒューズの他端と第2電位ノードとの間に接続され、固定電位が与えられることに応じてオンまたはオフする第1の第2導電型スイッチングトランジスタと、第1のヒューズの一端と第1電位ノードとの間に接続され、固定電位が与えられることに応じてオンまたはオフする第1の第1導電型スイッチングトランジスタとを含み、第2のプログラム素子は第2のヒューズを含み、第2の電荷供給手段は、基準電位が与えられることに応じて制御される第2の第1導電型トランジスタを含み、第2のスイッチング手段は、第2のヒューズの他端と第2電位ノードとの間に接続され、固定電位が与えられることに応じてオンまたはオフする第2の第2導電型スイッチングトランジスタと、第2のヒューズの一端と第1電位ノードとの間に接続され、固定電位が与えられることに応じてオンまたはオフする第2の第1導電型スイッチングトランジスタとを含んでいる。

【0051】請求項8の発明に係る半導体記憶装置は、複数のメモリセル、それぞれが複数のメモリセルのいずれかに置換えられる複数のスベアメモリセル、複数のメモリセルのいずれかにアクセスするためのアドレスを複数のスベアメモリセルのいずれかにアクセスするためのアドレスに変更するようにそれぞれがプログラムされる複数のプログラム素子、複数のプログラム素子のそれぞれの一端と第1電位ノードとの間にそれぞれが接続され、プリチャージ信号に応じてオンまたはオフする複数の第1のスイッチング手段、複数のプログラム素子のそれぞれの他端と第2電位ノードとの間にそれぞれが接続される複数の第2のスイッチング手段、および各スベアメモリセルをアクセスするためのアドレスに応じて、その各スベアメモリセルをアクセスするためにプログラムされるべきプログラム素子に接続される対応の第2のス

スイッチング手段に所定の固定電位を与えてオンまたはオフを制御する制御手段を備えている。

【0052】請求項9の発明に係る半導体記憶装置では、請求項8の複数のプログラム素子は複数のヒューズを含み、複数の第1のスイッチング手段は複数の第1導電型スイッチングトランジスタを含み、複数の第2のスイッチング手段は複数の第2導電型スイッチングトランジスタを含み、制御手段は、固定電位が制御電極に与えられ、各スเปアメモリセルをアクセスするためのアドレスが第1電極に与えられ、第2電極が対応の第2導電型スイッチングトランジスタに接続される第1導電型トランジスタと、固定電位の反転電位が制御電極に与えられ、第1導電型トランジスタに並列に接続される第1の第2導電型トランジスタと、固定電位が制御電極に与えられ、第2電位ノードに第1の電極が接続され、第2の電極が対応の第2導電型スイッチングトランジスタに接続される第2の第2導電型トランジスタとを含んでいる。

【0053】請求項10の発明に係る半導体記憶装置は、それぞれが行および列方向に配設された複数のメモリセル、それぞれが複数のメモリセルのいずれかと置換えられ、かつ、それぞれが各行および各列に対応して配設された複数のスเปアメモリセル、複数のスเปアメモリセルを行方向で指定して検査するための第1の検査手段、および複数のスเปアメモリセルを列方向で指定して検査するための第2の検査手段を備えている。

【0054】請求項11の発明に係る半導体記憶装置は、複数のメモリセルを有するメモリセルアレイ、メモリセルアレイの外部に設けられるスเปアメモリセル、スเปアメモリセルをアクセスするためのアドレスのプログラム設定を行なうプログラム設定手段、複数のメモリセルのいずれかをアクセスするためのアドレスとプログラム設定手段が設定したアドレスとを比較する比較手段、スเปアメモリセルをアクセスするためのアドレスとそのアドレスに対応の複数のメモリセルのいずれをアクセスするためのアドレスとに応じて、スเปアメモリセルおよび対応のメモリセルを活性化する活性化手段、および比較手段の比較結果に応じて、活性化手段で活性化されたスเปアメモリセルおよび対応のメモリセルの一方のみにアクセスするように制御するアクセス制御手段を備えている。

【0055】請求項12の発明に係る半導体記憶装置は、ワード線に沿って行方向に配設され、ビット線に沿って列方向に配設された複数のメモリセルを有するメモリセルアレイ、スเปアワード線に沿って行方向に配設され、スเปアビット線に沿って列方向に配設された複数のスเปアメモリセルを有するスเปアメモリセルアレイ、複数のスเปアメモリセルのいずれかをアクセスするためのアドレスのプログラム設定を行なうプログラム設定手段、複数のメモリセルのいずれかをアクセスするための

アドレスとプログラム設定手段がプログラム設定したアドレスとを比較する比較手段、ビット線の電位またはスเปアビット線の電位を増幅する増幅手段、複数のメモリセルのいずれかをアクセスするためのアドレスとプログラム設定手段がプログラム設定したアドレスに応じて、ワード線およびスเปアワード線を活性化する活性化手段、および比較手段の比較結果に応じて、増幅手段とビット線またはスเปアビット線とを接続する接続手段を備えている。

【0056】請求項13の発明に係る半導体記憶装置では、請求項12のスเปアビット線はビット線よりも短く、または、スเปアワード線はワード線よりも短いことを特徴としている。

【0057】請求項14の発明に係る半導体記憶装置は、ワード線に沿って行方向に配設され、ビット線に沿って列方向に配設された複数のメモリセルを有する第1のメモリセルアレイ、ワード線に沿って行方向に配設され、ビット線に沿って列方向に配設された複数のメモリセルおよび複数のスเปアメモリセルを有する第2のメモリセルアレイ、第2のメモリセルアレイの複数のスเปアメモリセルのいずれかをアクセスするためのアドレスのプログラム設定を行なうプログラム設定手段、第1のメモリセルアレイの複数のメモリセルのいずれかをアクセスするためのアドレスとプログラム設定手段が設定したアドレスとを比較する比較手段、第1のメモリセルアレイのビット線の電位または第2のメモリセルアレイのビット線の電位を増幅する増幅手段、第1のメモリセルアレイの複数のメモリセルのいずれかをアクセスするためのアドレスとプログラム設定手段がプログラム設定したアドレスに応じて、第1のメモリセルアレイのワード線および第2のメモリセルアレイのワード線を活性化する活性化手段、および比較手段の比較結果に応じて、増幅手段と第1のメモリセルアレイのビット線または第2のメモリセルアレイのビット線とを接続する接続手段を備えている。

【0058】

【作用】請求項1の発明に係る半導体記憶装置は、プログラム素子の他端と第2電位ノードとの間に接続されるスイッチング手段が所定の固定電位が与えられることによってオフした場合に、一端に電荷供給手段が接続され、他端にスイッチング手段が接続されるプログラム素子がプログラムされて第2電位ノードの電位を電荷供給手段に与えないことと等価となり、電荷供給手段に第1電位ノードのみの電位に依存した電荷供給を行なわせて、スイッチング手段における電荷の放電に時間がかからず、プログラム素子がプログラムされた場合にアクセスされるメモリセルのアクセスを行なえる。

【0059】請求項2の発明に係る半導体記憶装置は、複数のメモリセルのいずれかにアクセスするためのアドレスをスเปアメモリセルにアクセスするためのアドレス

に変更する第1のプログラム素子がプログラムされることなく、スเปアメモリセルを検査するためのスเปアメモリセル選択手段の第2のプログラム素子もプログラムされることなく、スイッチング手段が所定の固定電位が与えられることに応じてオフした場合に、スイッチング手段に接続される第2の電位ノードが第2のプログラム素子に接続されず、第2のプログラム素子がプログラムされて電荷供給手段と第2の電位ノードが接続されないことと等価となり、電荷供給手段に第1電位ノードの電位のみに基づく電荷供給を行なわせることができ、スイッチング手段における電荷の放電に時間がかからず、スเปアメモリセルの検査を行なえる。

【0060】請求項3の発明に係る半導体記憶装置は、第2のプログラム素子としてヒューズを用い、電荷供給手段として抵抗手段を用い、スイッチング手段としてスイッチングトランジスタを用いて、請求項2の作用と同様に、スイッチングトランジスタの電荷の放電に時間がかからず、スเปアメモリセルの検査を行なえる。

【0061】請求項4の発明に係る半導体記憶装置は、第2のプログラム素子としてヒューズを用い、電荷供給手段として閏欠信号に応じて制御されてオンまたはオフする第1のスイッチングトランジスタを用い、スイッチング手段として第2のスイッチングトランジスタを用いて、請求項2の作用と同様に、第2のスイッチングトランジスタの電荷放電に時間がかからず、スเปアメモリセルの検査を行なえる。

【0062】請求項5の発明に係る半導体記憶装置は、第2のプログラム素子としてヒューズを用い、電荷供給手段として基準電位が与えられることに応じて制御される第1導電型トランジスタを用い、スイッチング手段として第2導電型スイッチングトランジスタと第1導電型スイッチングトランジスタを用いて、請求項2の作用と同様に、第1の導電型スイッチングトランジスタの放電時間に時間がかからず、スเปアメモリセルの検査を行なえる。

【0063】請求項6の発明に係る半導体記憶装置は、アドレスを変更するための変更手段の第1のプログラム素子がプログラムされず、スเปアメモリセル選択手段の第2のプログラム素子もプログラムされず、第1のスイッチング手段および第2のスイッチング手段が固定電位が与えられたことに応じてオフした場合に、第1のプログラム素子と第2電位ノードとが接続されず、第2のプログラム素子と第2電位ノードとも接続されず、第1のプログラム素子および第2のプログラム素子がプログラムされて第2電位ノードが第1の電荷供給手段および第2の電荷供給手段に接続されていないことと等価となり、第1の電荷供給手段は第1電位ノードの電位のみに基づいて電荷を供給でき、第2の電荷供給手段も第1電位ノードの電位のみに基づいて電荷を供給でき、第1のスイッチング手段および第2スイッチング手段での電荷

放電に時間がかからず、スเปアメモリセルの検査を行なえる。

【0064】請求項7の発明に係る半導体記憶装置は、第1のプログラム素子として第1のヒューズを用い、第1の電荷供給手段として基準電位が与えられることに応じて制御される第1の第1導電型トランジスタを用い、第1のスイッチング手段として第1の第2導電型スイッチングトランジスタと第1の第1導電型スイッチングトランジスタとを用い、第2のプログラム素子として第2のヒューズを用い、第2の電荷供給手段として基準電位が与えられることに応じて制御される第2の第1導電型トランジスタを用い、第2のスイッチング手段として第2の第2導電型スイッチングトランジスタと第2の第1導電型スイッチングトランジスタとを用いて、第1の第1導電型スイッチングトランジスタおよび第2の第1導電型スイッチングトランジスタの電荷放電に時間がかからず、スเปアメモリセルの検査を行なえる。

【0065】請求項8の発明に係る半導体記憶装置は、複数のメモリセルのいずれかにアクセスするためのアドレスを複数のスเปアメモリセルのいずれかにアクセスするためのアドレスに変更するようにそれぞれがプログラムされる複数のプログラム素子がプログラムされることなく、各スเปアメモリセルをアクセスするためのアドレスに応じて、そのスเปアメモリセルをアクセスするためにプログラムされるべきプログラム素子に接続された対応の第2のスイッチング手段に所定の固定電位を制御手段によって与えてオフさせた場合に、対応の第2のスイッチング手段に接続される第2電位ノードと対応のプログラム素子とが接続されず、対応のプログラム素子がプログラムされて第2電位ノードと対応の第1のスイッチング手段が接続されないことと等価となり、第1のスイッチング手段はプリチャージ信号に応じて第1の電位ノードに基づく電位を供給でき、各スเปアメモリセルをアクセスするためのアドレスに応じた各スเปアメモリセルの検査を行なえる。

【0066】請求項9の発明に係る半導体記憶装置は、複数のプログラム素子として複数のヒューズを用い、複数の第1のスイッチング手段として複数の第1導電型スイッチングトランジスタを用い、複数の第2のスイッチング手段として複数の第2導電型スイッチングトランジスタを用い、制御手段として第1導電型トランジスタと第1の第2導電型トランジスタと第2の第2導電型トランジスタとを用いて、請求項8の作用と同様に、各スเปアメモリセルをアクセスするためのアドレスに対応の各スเปアメモリセルの検査を行なえる。

【0067】請求項10の発明に係る半導体記憶装置は、それぞれが行および列方向に配設された複数のメモリセルのいずれかと置換えられ、かつ、それぞれが各行および各列に対応して配設された複数のスเปアメモリセルを行方向で指定して第1の検査手段が検査し、複数の

スペアメモリセルを列方向で指定して第2の検査手段が検査するので、行方向および列方向を各々独立に指定して検査でき、すべてのスペアメモリセルの検査を行なえる。

【0068】請求項11の発明に係る半導体記憶装置は、複数のメモリセルを有するメモリセルアレイの外部に設けられるスペアメモリセルをアクセスするためのアドレスと、そのアドレスに対応の複数のメモリセルのいずれかをアクセスするためのアドレスとに応じて、スペアメモリセルおよび対応のメモリセルを活性化手段によって活性化し、プログラム設定手段に設定されたスペアメモリセルをアクセスするためのアドレスと複数のメモリセルのいずれかをアクセスするためのアドレスとを比較手段によって比較して、その比較結果に応じて活性化手段で活性化されたスペアメモリセルおよび対応のメモリセルの一方のみにアクセスするように制御手段によって制御して、たとえば、対応のメモリセルを活性化したままスペアメモリセルをアクセスするので、対応のメモリセルが活性化状態から非活性化状態になるまでの時間を短縮した高速なアクセスを可能とする。

【0069】請求項12の発明に係る半導体記憶装置は、複数のメモリセルのいずれかをアクセスするためのアドレスとプログラム設定手段がプログラム設定したスペアメモリセルのいずれかをアクセスするためのアドレスとを比較手段によって比較し、活性化手段によってメモリセルアレイにおける複数のメモリセルの行方向に沿って設けられているワード線およびスペアメモリセルアレイにおけるスペアメモリセルの行方向に沿って設けられたスペアワード線を活性化し、比較手段の比較結果に応じて、メモリセルアレイにおけるビット線の電位またはスペアメモリセルアレイにおけるスペアビット線の電位を増幅する増幅手段とビット線またはスペアビット線とを接続するので、たとえば、活性化されたワード線が非活性化されることなく、活性化状態から非活性化状態にされるまでの間の時間を短縮でき、高速なアクセスを可能とする。

【0070】請求項13の発明に係る半導体記憶装置は、スペアメモリセルアレイにおけるスペアビット線がメモリセルアレイにおけるビット線よりも短くまたはスペアメモリセルアレイにおけるスペアワード線がメモリセルアレイにおけるワード線よりも短くしているので、スペアビット線またはスペアワード線はビット線またはワード線よりも容量が小さくなり、スペアメモリセルに蓄積された電位を大きな状態で読出すことができ、半導体記憶装置としての動作マージンを大きくできる。

【0071】請求項14の発明に係る半導体記憶装置は、第1のメモリセルアレイの複数のメモリセルのいずれかをアクセスするためのアドレスとプログラム設定手段が設定した第2のメモリセルアレイの複数のスペアメモリセルのいずれかをアクセスするためのアドレスとを

比較手段によって比較し、第1のメモリセルアレイのワード線および第2のメモリセルアレイのワード線を活性化手段によって活性化し、比較手段の比較結果に応じて第1のメモリセルアレイのビット線の電位または第2のメモリセルアレイのビット線の電位を増幅する増幅手段と第1のメモリセルアレイのビット線または第2のメモリセルアレイのビット線とを接続手段によって接続するので、第1のメモリセルアレイのワード線は非活性化される必要がなく、第1のメモリセルアレイのワード線が活性化状態から非活性化状態になるまでの時間を短縮でき、高速なアクセスを可能とする。

【0072】

【実施例】図1は、この発明の第1の実施例による半導体記憶装置の冗長制御部を示した回路図である。

【0073】以下、図17に示す従来例と同一構成部分は同一符号を付して特に異なる部分について説明する。

【0074】この冗長制御部においては、図17に示す冗長選択回路101の代わりに冗長選択回路301が設けられ、正規アドレスデコーダ107の代わりに正規アドレスデコーダ311が設けられる。

【0075】冗長選択回路301は、抵抗117a、303と、インバータ回路111a、111b、111cと、ヒューズ305と、NチャネルMOSトランジスタ307と、PチャネルMOSトランジスタ119とを含む。図17に示す冗長選択回路101と異なる部分は、特に電源電位ノードVccに一端が接続される抵抗303と、抵抗303の他端と一端が接続されるヒューズ305と、ヒューズ305の他端と接地電位ノードとの間に接続されるNチャネルMOSトランジスタ307との接続順序である。すなわち、抵抗303、ヒューズ305、NチャネルMOSトランジスタ307の順に直列に接続されている。

【0076】正規アドレスデコーダ311は、NAND回路141a～141dと、図17に示す冗長ヒューズ回路143a～143dの代わり冗長ヒューズ回路309a～309dとを含む。

【0077】冗長ヒューズ回路309aは、抵抗313と、ヒューズ315と、NチャネルMOSトランジスタ317と、PチャネルMOSトランジスタ151と、インバータ回路153とを含む。冗長ヒューズ回路309aが図17に示す冗長ヒューズ回路143aと異なる部分は、一端が電源電位ノードVccに接続される抵抗313と、抵抗313の他端と一端が接続されるヒューズ315と、ヒューズ315の他端と接地電位ノードとの間に接続されるNチャネルMOSトランジスタ317との接続順序である。すなわち、抵抗313、ヒューズ315、NチャネルMOSトランジスタ317の順に直列に接続されている。

【0078】冗長選択回路301においては、NチャネルMOSトランジスタ307がヒューズ305の一端と

接地電位ノードとの間に接続されるため、インバータ回路111aの出力がゲート電極に入力されることでオンまたはオフした場合に、その電荷放電の時間がかからず、高速なアクセスが可能となる。同様に、冗長ヒューズ回路309aにおいても、NチャネルMOSトランジスタ317がヒューズ315と接地電位ノードとの間に接続されているため、その電荷放電に時間がかからず、高速なアクセスが可能となる。

【0079】詳しい動作については、図17に示す従来例と同様であるため説明を省略する。

【0080】ところで、図1における冗長選択回路301の抵抗303および冗長ヒューズ回路309aの抵抗313は、ともに抵抗値の大きい抵抗であり、微小電流を流して電荷供給を行なっている。たとえば、電源電位Vccの値が3~5Vであり、微小電流の値が1 μ A以下であるとすれば、抵抗値は3M Ω ~5M Ω とされる必要がある。このような大きな抵抗値を持つ抵抗303、313はチップ面積を大きく必要とする。以下に抵抗303、313のチップ面積をも考慮した実施例について説明する。

【0081】図2は、この発明の第2の実施例による半導体記憶装置の要部を示した図であって、図1の冗長選択回路の他の例を示した図であり、図3は、この発明の第2の実施例の半導体記憶装置の要部を示した図であって、図1の冗長ヒューズ回路の他の例を示した図である。

【0082】図2および図3を参照して、冗長選択回路319は、図1の冗長選択回路301の抵抗303の代わりに、間欠信号がゲート電極に与えられ、ドレインまたはソースの一方が電源電位ノードVccに接続され、ドレインまたはソースの他方がヒューズ305の一端に接続されるPチャネルMOSトランジスタが用いられている。また、冗長ヒューズ回路323は、図1の冗長ヒューズ回路309aの抵抗313の代わりに、ゲート電極に間欠信号が与えられ、ソースまたはドレインの一方が電源電位ノードVccに接続され、ソースまたはドレインの他方がヒューズ315に接続されるPチャネルMOSトランジスタ325が用いられている。

【0083】図2に示すPチャネルMOSトランジスタ321および図3に示すPチャネルMOSトランジスタ325はともに、間欠信号によって制御されるため、常に電源電位ノードVccから接地電位ノードに向けて電流を流すわけではなく、等価的に微小電流を流す働きをしている。PチャネルMOSトランジスタ321およびPチャネルMOSトランジスタ325は、抵抗に比べてチップ面積を必要としないため、図1に示す実施例に比べてより望ましい半導体記憶装置が提供される。

【0084】図4は、この発明の第3の実施例による半導体記憶装置の要部を示した図であって、図1の冗長選択回路のさらに他の例を示した図であり、図5は、この

発明の第3の実施例による半導体記憶装置の要部を示した図であって、図1の冗長ヒューズ回路のさらに他の例を示した図である。

【0085】以下、図1と異なる部分について特に説明する。冗長選択回路327は、抵抗303の代わりに、ゲート電極に電源電位Vccよりも小さな基準電位Vgsが与えられ、ソースまたはドレインの一方が電源電位ノードVccに接続され、ソースまたはドレインの他方がヒューズ305の一端に接続されるPチャネルMOSトランジスタと、スイッチングトランジスタとしてのNチャネルMOSトランジスタ307のみならず、ゲート電極にインバータ回路111aの出力が与えられ、ソースまたはドレインの一方が電源電位ノードVccに接続され、ソースまたはドレインの他方がヒューズ305の一端に接続されるPチャネルMOSトランジスタ329とをも含む。

【0086】インバータ回路111aの出力がHレベルのときには、PチャネルMOSトランジスタ329はオフし、NチャネルMOSトランジスタはオンする。これにより、PチャネルMOSトランジスタ331によって電源電位ノードVccからの電荷供給がヒューズ305側に向けて行なわれる。この電荷供給は、基準電位Vgsが電源電位Vccに比べて小さいため、微小な電流を流すほどの電荷供給となる。すなわち、PチャネルMOSトランジスタ331は図1の抵抗303の役割を果たしている。

【0087】一方、インバータ回路111aの出力がLレベルのときには、PチャネルMOSトランジスタ329は、オンし、NチャネルMOSトランジスタ307は、オフする。この状態は、図1のNチャネルMOSトランジスタ307がオフした状態とほぼ等価である。

【0088】図5を参照して、冗長ヒューズ回路333は、図1の冗長ヒューズ回路309aの抵抗313の代わりに、ゲート電極に電源電位ノードVccの電位に比べて小さな基準電位Vgsが与えられ、ソースまたはドレインの一方が電源電位ノードVccに接続され、ソースまたはドレインの他方がヒューズ315の一端に接続されるPチャネルMOSトランジスタ337と、スイッチングトランジスタとしてのNチャネルMOSトランジスタ317のみならず、ゲート電極にインバータ回路111aの出力が入力され、ソースまたはドレインの一方が電源電位ノードVccに接続され、他方がヒューズ315の一端に接続されるPチャネルMOSトランジスタ335とをも含む。

【0089】PチャネルMOSトランジスタ337は、図4のPチャネルMOSトランジスタ331の役割と同様な働きをして、微小電流を流すために電荷を供給し、PチャネルMOSトランジスタ335は図4のPチャネルMOSトランジスタ329と同様な働きをする。

【0090】図4および図5に示す実施例によって、図

1の抵抗303および抵抗313のように、チップ面積を必要としない半導体記憶装置が提供される。

【0091】図1から図5に示す実施例によって、スイッチングトランジスタ307およびスイッチングトランジスタ317における電荷放電に時間がかからず、さらにチップ面積を考慮して、ヒューズがいずれもプログラムされることなくスเปアメモリセルの動作検査を行なうことができるような半導体記憶装置が提供される。

【0092】なお、図1から図5に示すようにヒューズの一端を接地電位ノードまたは電源電位ノードに直接接続しないで、ヒューズに加わる電荷を引抜く技術は、スเปアメモリセルの検査に使用されるのみならず、内部回路の動作遅延を変更するような技術に対しても応用できる。

【0093】図6は、この発明の第4の実施例による半導体記憶装置のデコード部を示した回路図である。

【0094】以下、図16に示す従来例と異なる部分について特に説明する。図6に示す半導体記憶装置においては、図16のスเปアメモリテスト選択回路15およびスเปアメモリイーナブルプログラミング回路13が用いられず、選択回路401が用いられる。さらに、プログラミング回路7はプログラミング回路403に変更される。

【0095】選択回路401は、PチャネルMOSトランジスタ407と、ヒューズ405と、NチャネルMOSトランジスタ409a～409cと、インバータ回路411とを含む。PチャネルMOSトランジスタ407のゲート電極とNチャネルMOSトランジスタ409aのゲート電極には、テスト信号入力端子17から入力されるテスト信号が与えられる。PチャネルMOSトランジスタ407のソースまたはドレインの一方は電源電位ノードVccに接続され、他方はヒューズ405の一端に接続される。NチャネルMOSトランジスタ409aのソースまたはドレインの一方は接地電位ノードに接続され、他方はヒューズ405の他端に接続点Aを介して接続される。

【0096】NチャネルMOSトランジスタ409bのゲート電極には電源電位ノードVccよりも低い基準電位Vgsが与えられ、ソースまたはドレインの一方が接続点Bに接続され、他方は接地電位ノードに接続されている。PチャネルMOSトランジスタ409cのソースまたはドレインの一方は接続点Cに接続され、他方は接地電位ノードに接続されている。インバータ回路411の入力側は接続点A、B、Cを介してNチャネルMOSトランジスタ409a、409b、409cとヒューズ405と接続されており、出力側はNチャネルMOSトランジスタ409cのゲート電極に接続され、インバータ回路411の出力は信号EBLとしてゲート回路27に与えられる。

【0097】プログラミング回路403は、Pチャネル

MOSトランジスタ415a、415b、415cと、ヒューズ413と、NチャネルMOSトランジスタ417a～417eと、インバータ回路419a、419bとを含む。

【0098】PチャネルMOSトランジスタ415aのゲート電極およびNチャネルMOSトランジスタ417aのゲート電極には、テスト信号入力端子17から入力されるテスト信号が与えられる。PチャネルMOSトランジスタ415aのソースまたはドレインの一方は電源電位ノードVccに接続され、他方はヒューズ413の一端に接続される。NチャネルMOSトランジスタ417aのソースまたはドレインの一方は接続点Dを介してヒューズ413の他端に接続され、ソースまたはドレインの他方は接地電位ノードに接続されている。

【0099】NチャネルMOSトランジスタ417bのゲート電極には接地電位ノードの電位よりも低い基準電位Vgsが与えられ、ソースまたはドレインの一方は接続点Eに接続され、他方は接地電位ノードに接続されている。NチャネルMOSトランジスタ417cのソースまたはドレインの一方は接続点Fに接続され、他方は接地電位ノードに接続されている。インバータ回路419aの入力側は、接続点D、E、Fを介してヒューズ413、NチャネルMOSトランジスタ417a、417b、417cに接続されている。インバータ回路419aの出力側は接続点Gを介してNチャネルMOSトランジスタ417cのゲート電極に接続されている。インバータ回路419aの出力は接続点Gを介してPチャネルMOSトランジスタ415cのゲート電極およびNチャネルMOSトランジスタ417eのゲート電極に入力され、さらにインバータ回路419bにも入力されている。インバータ回路419bの出力は接続点Hを介してNチャネルMOSトランジスタ417dのゲート電極に与えられ、PチャネルMOSトランジスタ415bのゲート電極にも与えられる。

【0100】PチャネルMOSトランジスタ415b、415cおよびNチャネルMOSトランジスタ417d、417eのソースまたはドレインの一方は接続点Iを介して互いに接続されている。PチャネルMOSトランジスタ415cおよびNチャネルMOSトランジスタ417dの他方のソースまたはドレインは2つのインバータ回路を介してAφ入力端子19に接続され、PチャネルMOSトランジスタ415bおよびNチャネルMOSトランジスタ417eのソースまたはドレインの他方はインバータ回路を1つ介してAφ入力端子19に接続されている。また、接続点Iはスぺアデコード11に接続されている。

【0101】選択回路401およびプログラミング回路403で新たに用いられている原理は、図4および図5に示した実施例の原理と同様であるためそのことについての説明は省略し、図16に示す従来例と異なる部分を

特に説明する。図16に示す従来例と同様な動作は、正規のメモリセルを選択する場合、またはスベアメモリセルを選択する場合の動作であり、図16に示す従来例と異なる動作は、スベアメモリセルの試験をする場合の動作である。

【0102】以下、選択回路401およびプログラミング回路403を含むデコード部の動作について説明する。

【0103】図6を参照して、正規のメモリセルを試験する場合には、テスト信号入力端17がLレベルに電位固定される。これにより、選択回路401のPチャンネルMOSトランジスタ407およびプログラミング回路403のPチャンネルMOSトランジスタ415aは活性化され、選択回路401のNチャンネルMOSトランジスタ409aおよびプログラミング回路403のNチャンネルMOSトランジスタ417aは非活性化される。このため、ヒューズ405、413、23が切断されていない状態では、A ϕ 入力端子19から入力されるアドレス信号A ϕ 、A1入力端子21から入力されるアドレス信号A1の入力に対応するワード線WL0、WL1、WL2、WL3のいずれかが選択される。したがって、正規のメモリセルが通常のメモリテスト手法が用いられることで、試験される。

【0104】次に、スベアメモリセルが試験される場合、テスト信号入力端子17は、Hレベルに電位固定される。これにより、選択回路401のPチャンネルMOSトランジスタ407およびプログラミング回路403のPチャンネルMOSトランジスタ415aは非活性化され、選択回路401のNチャンネルMOSトランジスタ409aおよびプログラミング回路403のNチャンネルMOSトランジスタ417aは活性化される。そのため、ヒューズ405、413が切断されたことと同じ状態となる。

【0105】すなわち、アドレス信号A ϕ =0、アドレスA1=1が入力された場合、通常であれば活性化されるはずのワード線WL1は冗長側の活性化により非活性化される。その代わりにスベアワード線WLsが活性化されて、スベアメモリセルの試験が可能となる。

【0106】このように、図6に示す実施例によって、ヒューズのいずれも切断されずスベアメモリセルの試験が行なわれ、スイッチングトランジスタの放電に時間のかからない半導体記憶装置が提供される。

【0107】なお、図6に示す実施例は、図4および図5に示す実施例が適用されたものを示しているが、図1に示す実施例ならびに図2および図3に示す実施例に相当するような回路構成であってもよい。

【0108】また、図6に示す実施例ではプログラミング回路403に電位固定用のPチャンネルMOSトランジスタ415aなどが設けられているが、たとえばプログラミング回路9にそのような回路構成が設けられてもよ

く、任意の容易なアドレスに対応させて回路構成が設けられればよい。

【0109】さらに、試験およびヒューズプログラミング終了後、チップを封止する際に、テスト信号入力端子17がボンディングによりLレベルに固定されれば、スベアメモリセル試験構成用の回路が誤動作することもない。この際のテスト信号入力端子の電位固定の手法は、たとえばボンディングによる固定、また図示しないが高抵抗で固定するような方法が挙げられる。

【0110】図7は、この発明の第5の実施例による半導体記憶装置のデコード部分を示した回路図であり、図8は、図7に示す実施例を説明するための第1の図であって、図9は、図7に示す実施例を説明するための第2の図である。

【0111】近年、冗長を複数有する構成は、LSIの微細化に伴い、欠陥による歩留りの低下に対する有効な手段として多くのLSIに採用されている。また、その数も増加しており、スベアメモリ領域の欠陥により、置換後にスベアメモリセルの不良が発覚する歩留りの低下も懸念されている。したがって、このスベアメモリ領域が予め試験されることは半導体記憶装置としての歩留り向上に有用であり、その試験方法が容易な構成であることは好ましい。

【0112】まず、図7に示す実施例を説明する前に、図8を用いてスベアメモリセルを選択するための冗長の決定を行なう原理について説明し、図9を用いてスベアメモリセルテスト用のヒューズプログラミングの原理について説明する。

【0113】図8を参照して、以下の説明では説明の簡略化のためにアドレス信号をA0、A1、A2、A3の4種類に限定して説明する。したがって、アドレスの種類や数については特に4種類に限定する必要はない。

【0114】図8を参照して、アドレスA0、A1、A2、A3のそれぞれが入力されるA0入力端子501、A1入力端子503、A2入力端子505、A3入力端子507が設けられている。A0入力端子501から入力されるアドレス信号A0はインバータ回路509aを介してNOR回路513aに入力される。また、インバータ回路509aの出力は、インバータ回路511aを介してNOR回路515aに入力される。NOR回路513a、515aの他方の入力にはアドレスイネーブル信号517が入力されている。同様に、A1入力端子503に対してインバータ回路509b、511bと、NOR回路513b、515bとが設けられ、A2入力端子505に対してインバータ回路509c、511cと、NOR回路513c、515cとが設けられ、A3入力端子に対してインバータ回路509d、511dと、NOR回路513d、515dが設けられている。

【0115】NOR回路513aの出力はアドレス信号A0としてNチャンネルMOSトランジスタ519aのゲ

ート電極に人力されている。NチャネルMOSトランジスタ519aのソースまたはドレインの一方は接地電位ノードに接続され、他方はヒューズ521aの一端に接続されている。ヒューズ521aの他端はプリチャージ信号がゲート電極に与えられるPチャネルMOSトランジスタ523のソースまたはドレインの一方に接続され、PチャネルMOSトランジスタ523のソースまたはドレインの他方は電源電位ノードVccに接続されている。

【0116】同様に、NOR回路515a～515dのそれぞれの出力であるアドレス信号/A0～/A3がゲート電極に人力されるNチャネルMOSトランジスタ519b～519hが設けられ、ヒューズ521b～521hも設けられている。ヒューズ521a～521hの他端側はPチャネルMOSトランジスタ523に接続されるのみならず、インバータ回路525の人力側にも接続されており、インバータ回路525から信号NEが出力される。

【0117】動作について説明する。アドレス入力端子501, 503, 505, 507から入力されるアドレス信号A0, A1, A2, A3は、アドレスイネーブル信号517の活性化により、それぞれ相補の信号A0, /A0, A1, /A1, A2, /A2, A3, /A3という内部アドレス信号としてNOR回路513a, 515a, 513b, 515b, 513c, 515c, 513d, 515dから出力される。ここで、待機時にはアドレスイネーブル信号517がHレベルのため、NOR回路513a～513d, 515a～515dの出力がすべてLレベルとなっている。したがって、この各内部アドレスがゲートに人力されるNチャネルMOSトランジスタ519a～519hはすべて非活性化状態となっている。そのため、すべてのヒューズ521a～521hが接続されるノードXはプリチャージ信号527の活性化に伴ってPチャネルMOSトランジスタ523が活性化されて電源電位ノードVccが伝わり、Hレベルにプリチャージされている。

【0118】これにより、正規ワード線を活性化する信号NEはLレベルに保持されている。

【0119】次に、アドレスイネーブル信号517が活性化されると、それぞれ相補の信号A0, /A0, A1, /A1, A2, /A2, A3, /A3という内部アドレス信号のいずれかがHレベルとなる。そのため、ノードXはLレベルに変化し、正規ワード線を活性化する信号NEはHレベルとなる。

【0120】したがって、正常な正規のワード線が活性化されることとなる。次に、スベア使用時には、不良のアドレスに対応するヒューズがすべて切断されることにより、プログラミングが行なわれることで、不良のアドレスに対応するそれぞれ相補の信号A0, /A0, A1, /A1, A2, /A2, A3, /A3という

内部アドレス信号の一方のみがHレベルとなっても、その電流引抜きの経路においてはヒューズが切断されているため、ノードXはHレベルに保持される。そのため、信号NEがLレベルを保持することとなるため、これが検出されることで正常なワード線の活性化が中止され、スベアのワード線が活性化されることとなる。

【0121】次に、図9を参照して、外部からのアドレス入力部については図8に示す回路構成と同じであるため、その部分の省略してテストメモリセルのテスト時に關しての説明のみを行なう。

【0122】スベアメモリセルのテストのために、テストイネーブル端子529が設けられている。さらに、テストイネーブル端子529の出力であるテストイネーブル信号がゲート電極に人力されるPチャネルMOSトランジスタ531a～531dと、同じくテストイネーブル信号がゲート電極に人力されるNチャネルMOSトランジスタ533a～533dが設けられている。PチャネルMOSトランジスタ531a～531dのそれぞれのソースまたはドレインの一方には内部アドレス信号A0, A1, A2, A3が与えられ、他方のソースまたはドレインはNチャネルMOSトランジスタ519a, 519c, 519e, 519gのゲート電極に接続されている。NチャネルMOSトランジスタ533a～533dのソースまたはドレインの一方は接地電位ノードに接続され、他方はNチャネルMOSトランジスタ519a, 519c, 519e, 519gのゲート電極に接続されている。

【0123】このような回路構成によって以下のような動作が行なわれ、スベアメモリセルのテスト動作が可能となる。まず、テストイネーブル端子529によりHレベルのテストイネーブル信号が人力され、信号A0, A1, A2, A3が人力されるべきNチャネルMOSトランジスタ519a, 519c, 519e, 519gのゲート電位は、NチャネルMOSトランジスタ533a, 533b, 533c, 533dによって強制的に接地電位ノードに固定される。したがって、内部アドレス信号A0, A1, A2, A3がHレベルとなるようにアドレス設定が行なわれた場合には、ノードXの電位レベルはHレベルに固定されることとなる。したがって、インバータ回路525の出力である信号NEはLレベルとなり、スベアメモリセルが選択されることとなる。すなわち、外部テストによりこのテストが行なわれる場合において、アドレスA0=1, A1=1, A2=1, A3=1のアドレスが発生した場合にスベアメモリセルが選択されて、そのスベアメモリセルの動作試験が可能となる。

【0124】このようなスベアメモリセルの試験終了後またはパッケージ時に、テストイネーブル端子529がLレベルとなるようにブローピングもしくはボンディングにより固定されることで、ヒューズ521a～512

hがプログラムされた状態が保たれて動作が正確に行なわれる。

【0125】以上のような原理に基づく実施例を示した図7の半導体記憶装置における冗長部について説明する。

【0126】図7を参照して、複数のスペアが存在するため、そのスペアをデコードするためのスペアデコーダであるNOR回路567、569、571が設けられている。NOR回路567に入力される信号は、インバータ回路505の出力である。インバータ回路505の入力側に接続される回路は、図9に示す回路とほぼ同様である。異なる部分は、PチャネルMOSトランジスタ531a、531b、531c、531dに並列にNチャネルMOSトランジスタ539a、539b、539c、539dが接続されることと、NチャネルMOSトランジスタ539a～539dのそれぞれのゲート電極にテストイネーブル端子529から出力されるテストイネーブル信号がインバータ回路541で反転され、そのインバータ回路541の出力が与えられることである。

【0127】NOR回路569の入力側に接続される回路は、NOR回路567の入力側に接続される回路とほぼ同様であり、NOR回路571の入力側に接続される回路もNOR回路567の入力側に接続される回路とほぼ同様である。すなわち、インバータ回路505に対応するようにインバータ回路545、557が設けられる。ヒューズ521a～521hに対応するように、ヒューズ543a～543hと、ヒューズ555a～555hが設けられる。PチャネルMOSトランジスタ523に対応するように、PチャネルMOSトランジスタ535とPチャネルMOSトランジスタ537とが設けられる。さらに、NチャネルMOSトランジスタ519a～519hに対応するように、NチャネルMOSトランジスタ547a～547hと、NチャネルMOSトランジスタ561a～561hとが設けられる。

【0128】そして、異なる部分として、第1段目の回路においては、内部アドレス信号A0に対してPチャネルMOSトランジスタ531aとNチャネルMOSトランジスタ533a、539aが設けられたのに対し、第2段目の回路においては、内部アドレス信号/A0に対してPチャネルMOSトランジスタ551aとNチャネルMOSトランジスタ549a、553aが設けられる。また、第1段目の回路においては、内部アドレス信号A1に対してPチャネルMOSトランジスタ531bとNチャネルMOSトランジスタ533b、539bが設けられたのに対し、第3段目の回路においては、内部アドレス信号/A1に対してPチャネルMOSトランジスタ563bとNチャネルMOSトランジスタ559b、565bとが設けられる。

【0129】NOR回路567、569、571の入力としては、インバータ回路505、545、557のそ

れぞれの出力のみならず、ワード線活性化信号RXがインバータ回路575を介して入力されている。

【0130】ワード線活性化信号RXは、正規デコーダを構成するNAND回路577a～577eにも入力され、NAND回路557a～577eにはExNOR回路573の出力も入力されている。ExNOR回路573の入力側は、インバータ回路505、545、557の出力側に接続されている。NAND回路577a～577eのそれぞれには、内部アドレス信号A0、/A0、A1、/A1、A2、/A2、A3、/A3のうちの4つの信号が入力され、それぞれの出力はインバータ回路579a～579eのそれぞれに入力される。そして、インバータ回路579a～579eのそれぞれの出力によって、正規のメモリセルを選択するためのワード線WLが活性化されまたは非活性化される。

【0131】次に、動作について説明する。スペアメモリセルが使用されるのではなく、正規のメモリセルが使用される場合には、まずテストイネーブル端子529がLレベルに固定される。そして、プリチャージ信号527によるプリチャージ期間にHレベルにプリチャージされたノードX1、X2、X3は、内部アドレス信号A0、/A0、A1、/A1、A2、/A2、A3、/A3のいずれか一方のみがHレベルになることでNチャネルMOSトランジスタ519a～519h、547a～547h、561a～561hによって接地電位ノードに接続されて、放電が行なわれる。これにより、インバータ回路505、545、557の出力はHレベルとなり、ExNOR回路573の出力はHレベルとなり、正規のデコーダであるNAND回路577a～577eとインバータ回路579a～579eとが活性化されて、ワード線活性化信号RXの入力とともに、その内部アドレスに対応する正規ワード線WLが活性化される。

【0132】次に、スペアメモリセルが使用される場合には、不良のメモリセルに対応する内部アドレスが入力されるヒューズが切断されている。この切断前にスペアメモリセルのテストが行なわれるが、このことについては後で説明する。

【0133】テストイネーブル端子529はLレベルに固定されている。プリチャージ信号527によってプリチャージ期間にHレベルにプリチャージされたノードX1、X2、X3は、内部アドレス信号A0、/A0、A1、/A1、A2、/A2、A3、/A3のいずれか一方のみがHレベルになってもヒューズが切断されているため、放電されない。すなわち、ノードX1、X2、X3はHレベルを保持する。したがって、インバータ回路505、545、557の出力のいずれかがLレベルとなっているため、ExNOR回路573の出力はLレベルとなり、正規デコーダを構成するNAND回路577a～577eとインバータ回路579a～579eとは非活性化される。これに対して、ワード線活性化信号R

Xが活性化されると、スベアワード線WLs1, WLs2, WLs3のいずれかがNOR回路567, 569, 571のいずれかによって活性化される。

【0134】次に、スベア使用時の前に行なわれるスベアテスト時には、テストイネーブル端子529はHレベルに固定されている。この状態で内部アドレス信号A0=1, A1=1, A2=1, A3=1の状態が発生すれば、スベアワード線WLs1が活性化される。また、内部アドレス信号/A0=1, A1=1, A2=1, A3=1の状態が発生すれば、スベアワード線WLs2が活性化される。さらに、内部アドレス信号A0=1, /A1=1, A2=1, A3=1の状態が発生すれば、スベアワード線WLs3が活性化される。このように外部デスタにてアドレスが発生され、テストが行なわれれば、ヒューズがいずれも切断されることなく、スベア領域のスベアメモリセルを活性化してテストが可能となる。

【0135】以上のように、図7に示す実施例では、複数のスベアワードであっても、いずれのヒューズもプログラムされることなく、スベア領域のスベアメモリセルのテストが可能となる。

【0136】なお、図1に示す実施例、図2および図3に示す実施例、図4および図5に示す実施例、図6に示す実施例、ならびに図7に示す実施例のいずれにおいても、ロウ系のスベアメモリテスト手法について説明したが、コラム系についても同様に適用できる。以下に、コラム系およびロウ系ともに適用した場合の半導体記憶装置について説明する。

【0137】図10は、この発明の第6の実施例による半導体記憶装置の概略を示した図である。

【0138】図10を参照して、この半導体記憶装置では、メモリセルアレイ601に正規メモリセル領域603と、斜線で示したスベアメモリ領域605とが形成されている。スベアメモリ領域605は、ロウ系のみのスベア領域611と、コラム系のみのスベア領域613と、ロウ系およびコラム系両者のスベア領域615とによって形成されている。このようなメモリセルアレイ601に対して、コラム系のテスト回路部607が設けられ、ロウ系のテスト回路部609が設けられる。コラム系のテスト回路部607とロウ系のテスト回路部609とは各々独立して動作する。

【0139】すなわち、ロウ系のみのスベア領域611は、ロウ系のテスト回路部609のテスト入力端子がHレベルに固定され、コラム系のテスト回路部607のテスト入力端子がLレベルに固定されることによりテストされる。一方、コラム系のみのスベアメモリ領域613は、ロウ系のテスト回路部603のテスト入力端子がLレベルに固定され、コラム系のテスト回路部609のテスト入力端子がHレベルに固定されることによりテストされる。また一方で、ロウ系およびコラム系の両者が存在するスベア領域615は、ロウ系のテスト回路部60

9のテスト入力端子がHレベルに固定され、コラム系のテスト回路部607のテスト入力端子がHレベルに固定されることにより、テストされる。

【0140】図11は、図10のロウ系のテスト回路部609およびコラム系のテスト回路部607が個々に独立して動作しない場合の問題点について説明するための図である。

【0141】図11を参照して、ロウ系のテスト回路部609およびコラム系のテスト回路部607の代わりに、ロウ系およびコラム系のテスト回路部617が設けられたとする。この場合、ロウ系およびコラム系のテスト回路部617のテスト入力端子がLレベルに固定された場合には、正規メモリセル領域603のメモリセルの試験が行なわれる。しかしながら、ロウ系およびコラム系のテスト回路部617のテスト入力端子がHレベルに固定された場合には、行領域619のアドレスをロウ系のスベア領域611のアドレスに変更し、列領域621のアドレスをコラム系のスベア領域613のアドレスに変更して検査を行なうため、行領域619内のコラム系のスベア領域613の領域623はロウ系およびコラム系のスベア領域615に置換えられ、同様に列領域621内のロウ系のスベア領域611の領域625もロウ系およびコラム系のスベア領域615に置換えられてしまう。すなわち、結果的に領域623および領域625は検査がされないこととなる。このような問題を、図10に示す実施例では、ロウ系のテスト回路部609とコラム系のテスト回路部607とが各々独立して動作することで解決している。

【0142】なお、図10に示す半導体記憶装置のテスト終了後においては、ロウ系のテスト回路部609のテスト入力端子とコラム系のテスト回路部607のテスト端子とがともにLレベルに固定されれば誤動作がなくなる。

【0143】図12は、この発明の第7の実施例による半導体記憶装置の概略ブロック図であり、図13は、図12の半導体記憶装置の要部を示した図である。

【0144】図12および図13を参照して、図18および図19に示す従来例と異なる部分について特に説明する。

【0145】半導体記憶装置701では、センスアンプ領域705aとセンスアンプ領域705bとの間にメモリセルアレイ703aが設けられ、センスアンプ領域705bとセンスアンプ領域705cとの間にメモリセルアレイ703bが設けられ、センスアンプ領域705cとセンスアンプ領域705dとの間にメモリセルアレイ703cが設けられている。メモリセルアレイ703a, 703b, 703cは、正規メモリ領域709a, 709b, 709cのそれぞれで形成されている。すなわち、メモリセルアレイ703a, 703b, 703cにはスベアメモリ領域が形成されていない。

【0146】代わりに、センスアンプ領域705aがスペアメモリセルアレイ707aとメモリセルアレイ703aとの間に形成されるように、スペアメモリセルアレイ707aが設けられ、センスアンプ領域705dがメモリセルアレイ703cとスペアメモリセルアレイ707bとの間に形成されるように、スペアメモリセルアレイ707bが形成される。スペアメモリセルアレイ707a、707bは、スペアメモリセル領域711a、711bのそれぞれでのみ形成されている。メモリセルアレイ703a、703b、703cのそれぞれにはワード線WLとビット線BLが配線されており、スペアメモリセルアレイ707a、707bのそれぞれにはスペアワード線WLsとスペアビット線BLsが配線されている。

【0147】たとえば、センスアンプ領域705aは、図13に示すように、センスアンプ735a、735b、735cと、接続トランジスタ727a、727b、727cとを含む。センスアンプ735aは接続トランジスタ727aに接続され、センスアンプ735bは接続トランジスタ727bに接続され、センスアンプ735cは接続トランジスタ727cに接続されている。また、センスアンプ735a、735b、735cは、図示していない接続トランジスタにも接続されており、そのことを表わすために接続トランジスタ729aが図12において示されている。

【0148】センスアンプ領域705bは、センスアンプ737a、737b、737cと、接続トランジスタ733a、733b、733cとを含む。センスアンプ737aは接続トランジスタ733aに接続され、センスアンプ737bは接続トランジスタ733bに接続され、センスアンプ737cは接続トランジスタ733cに接続されている。また、センスアンプ737a、737b、737cは、図13において図示されていないがさらに接続トランジスタにも接続されており、そのことを表わすために図12において接続トランジスタ731aが示されている。

【0149】また、センスアンプ705c、705dも同様な回路構成をしている。図12に戻って、スペアメモリセルアレイ707aに対応してスペアロウデコーダ713aが設けられ、スペアメモリセルアレイ707bに対応してスペアロウデコーダ713bが設けられる。スペアロウデコーダ713aはスペアデコーダ領域715aで形成され、スペアロウデコーダ713bはスペアデコーダ領域715bで形成されている。メモリセルアレイ703aに対応してロウデコーダ717aが設けられ、メモリセルアレイ703bに対応してロウデコーダ717bが設けられ、メモリセルアレイ703cに対応してロウデコーダ717cが設けられる。ロウデコーダ717aは正規デコーダ領域719aで形成され、ロウデコーダ717bは正規デコーダ領域719bで形成さ

れ、ロウデコーダ717cは正規デコーダ領域719cで形成される。

【0150】さらに、半導体記憶装置701には、アドレスバッファ721と、比較回路723と、プログラミング回路725とが設けられている。アドレスバッファ721の出力であるアドレス信号は、スペアロウデコーダ713a、713bとロウデコーダ717a、717b、717cの両者に与えられる。比較回路723の比較結果を表わす信号はセンスアンプ領域705a、705b、705c、705dに与えられる。プログラミング回路725の出力は比較回路723とスペアロウデコーダ713a、713bに与えられる。

【0151】次に、動作について説明する。アドレスバッファ721によって出力されるアドレスは、たとえばメモリセルアレイ703bのワード線WLを活性化するために、ロウデコーダ717bに与えられる。これにより、メモリセルアレイ703bにワード線WLは活性化される。一方、アドレスバッファ721の出力であるアドレスは、たとえばスペアロウデコーダ713aにも与えられる。メモリセルアレイ703bのワード線WLが不良でない場合には、スペアロウデコーダ713aはプログラミング回路725から与えられるリンク情報を用いてスペアワード線WLsを活性化しない。したがって、メモリセルアレイ703bのワード線WLのみが活性化されて、センスアンプ領域705bの接続トランジスタ733aによってセンスアンプ737aとビット線BLが接続されて、そのビット線BLと正規ワード線WLの交点のメモリセルのデータが読出される。

【0152】次に、メモリセルアレイ703bのワード線WLが不良の場合であっても、アドレスバッファ721によってメモリセルアレイ703bの不良の正規ワード線WLは活性化され、スペアメモリセルアレイ707aのスペアワード線WLsも活性化される。そこで、比較回路723がプログラミング回路725で設定されたスペアアドレスとアドレスバッファ721によって与えられたアドレスとを比較し、その比較結果が一致したことを示すヒット信号を接続トランジスタ727a、733aに与える。このヒット信号は、接続トランジスタ733aを非活性化するものであり、接続トランジスタ727aを活性化するものである。

【0153】これにより、センスアンプ737aとメモリセルアレイ703bのビット線BLとが接続されず、センスアンプ735aとスペアメモリセルアレイ707aのスペアビット線BLsとが接続される。したがって、センスアンプ735aがそのスペアビット線BLsに蓄えられた電位を増幅することで、スペアワード線WLsとスペアビット線BLsとの交点のスペアメモリセルのデータが読出される。

【0154】このような接続トランジスタを制御するためには、図14に示すような回路によってその制御が実

現される。

【0155】図14を参照して、図14に示す回路は、図7に示す実施例の回路とほぼ同じである。異なる部分は、図7のExNOR回路573の出力がNAND回路577a～577eのそれぞれに与えられていたのに対し、図14に示すExNOR回路581の出力がNAND回路577a～577eのいずれにも与えられていないことである。

【0156】図14に示すようにExNOR回路581の出力はNAND回路577a～577eのいずれにも与えられないことによって、正規デコードを構成するNAND回路577a～577eおよびインバータ回路579a～579cの出力は、スペアワード線WLS1、WLS2、WLS3の活性化または非活性化にかかわらず、ワード線WL1～WL5のいずれかを活性化するための信号を出力できる。すなわち、図14に示すExNOR回路581の出力は、図12に示す接続トランジスタ733aを非活性化し、接続トランジスタ727aを活性化することができる。

【0157】以上のように、図12に示す実施例によって、不良の正規ワード線からデータを読み出すかどうかの判断は、正規ワード線が活性化されるタイミングに左右されないため、図18に示す遅延回路223が遅延する時間分だけ比較的余裕ができ、アクセスの高速化が図られる。

【0158】なお、図12に示す実施例において、スペアワード線WLSが選択された場合に、不良の正規ワード線WLに接続されるべき接続トランジスタが活性化されても、その活性化された接続トランジスタに接続されるセンスアンプが活性化されなければ、不良の正規ワード線のメモセルのデータが読み出されることはないため、不良の正規ワード線の位置に対応した接続トランジスタを非活性化する動作は必ずしも必要としない。

【0159】また、図12に示す実施例においては、不良の正規ワード線とスペアワード線の関係について説明したが、不良の正規ビット線とスペアビット線との関係について適用されてもよい。

【0160】さらに、図12に示す実施例においては、メモセルアレイ中のビット線の長さやスペアメモセルアレイ中のスペアビット線の長さは、スペアメモセルアレイ中のスペアビット線の長さの方が短くなっている。このようにスペアビット線の長さが短い分だけ、その容量が小さくてすみ、スペアメモセルからの読出信号の電位差が大きくなり、全体として半導体記憶装置の動作マージンを大きくできる。このことは、スペアメモセルアレイ中のスペアワード線の長さがメモセルアレイ中のワード線の長さよりも短い場合であっても同様である。

【0161】図15は、この発明の第8の実施例による半導体記憶装置の概略を示した図である。

【0162】この実施例の半導体記憶装置239は、図12に示す半導体記憶装置701と異なり、スペアメモセルアレイが設けられていない。すなわち、メモセルアレイ741aがセンスアンプ領域743aとセンスアンプ領域743bとの間に設けられ、メモセルアレイ741bがセンスアンプ領域743bとセンスアンプ領域743cとの間に設けられ、メモセルアレイ741cがセンスアンプ領域743cとセンスアンプ領域743dとの間に設けられている。メモセルアレイ741aは、スペアメモリ領域および正規メモリ領域を含むメモリ領域745aで形成されている。これにより、メモセルアレイ741a内は、正規ワード線WLとスペアワード線WLSとが配線されて、その正規ワード線WLとビット線との交点に正規メモセルが配設され、スペアワード線WLSとビット線BLとの交点にスペアメモセルが配設されている。同様に、メモセルアレイ741bも、スペアメモリ領域および正規メモリ領域を含むメモリ領域745bで形成され、メモセルアレイ741cもスペアメモリ領域および正規メモリ領域を含むメモリ領域745cで形成されている。

【0163】センスアンプ領域743bには、図示していないがセンスアンプが含まれており、メモセルアレイ741aに配線されたビット線BLとセンスアンプと接続する接続トランジスタ757と、メモセルアレイ741bに配線されたビット線BLとセンスアンプと接続する接続トランジスタ759とを含んでいる。同様に、センスアンプ領域743aには、センスアンプと、メモセルアレイ741aのビット線BLとセンスアンプとを接続する接続トランジスタとが含まれ、センスアンプ領域743c、743dにおいても同様である。

【0164】メモセルアレイ741aに対応してロウデコード747aが設けられ、メモセルアレイ741bに対応してロウデコード747bが設けられ、メモセルアレイ741cに対応してロウデコード747cが設けられる。ロウデコード747aは、スペアデコード領域および正規デコード領域を含むデコード領域749aで形成され、ロウデコード747bは、スペアデコード領域および正規デコード領域を含むデコード領域749bで形成され、ロウデコード747cは、スペアデコード領域および正規デコード領域を含むデコード領域749cで形成される。

【0165】また、半導体記憶装置739には、アドレスバッファ751と、比較回路753と、プログラミング回路755とが含まれる。アドレスバッファ751は、外部から与えられた外部アドレスを内部アドレスに変更し、ロウデコード747a、747b、747cに与える。プログラミング回路755は、不良の正規ワード線をスペアワード線に置換えるためのスペアアドレスのプログラム設定を行なっている。そして、そのスペアアドレスを不良の正規ワード線WLが含まれるメモセル

ルアレイに対応のロウデコードではなく、異なるロウデコードに与える。比較回路753は、プログラミング回路755でプログラミング設定されたスペアアドレスとアドレスバッファ751から出力される内部アドレスとを比較して、その比較結果を表わす信号を接続トランジスタに与える。

【0166】次に、動作について説明する。アドレスバッファ751が出力する内部アドレスをたとえばロウデコード747bがデコードして正規ワード線WLが選択されて、活性化される。メモリセルアレイ741bのワード線WLに不良が生じていない場合には、接続トランジスタ759がビット線BLとセンスアンプと接続して、正規ワード線WLとビット線BLとの交点のメモリセルのデータが読出される。

【0167】一方、正規ワード線WLが不良の場合には、メモリセルアレイ741bでなくメモリセルアレイ741aのスペアワード線WLsがプログラミング回路755でプログラム設定されたスペアアドレスをロウデコード747aが選択することで活性化される。したがって、メモリセルアレイ741bの不良のワード線WLとメモリセルアレイ741aのスペアワード線WLsとは両者とも活性化される。

【0168】比較回路753の比較結果は一致を示すため、比較回路753からヒット信号が接続トランジスタ757、759に与えられる。このヒット信号は接続トランジスタ757を活性化させ、接続トランジスタ759を非活性化させるものであり、接続トランジスタ757はセンスアンプとメモリセルアレイ741a中のスペアワード線WLsに対応したビット線BLと接続し、接続トランジスタ759は、センスアンプとメモリセルアレイ741b中の不良の正規ワード線WLに対応のビット線BLと接続させない。その後、センスアンプは接続トランジスタ757を介して与えられるメモリセルアレイ741aのスペアメモリセルのデータを増幅して読出す。

【0169】図15に示す実施例は図12に示すような実施例と異なり、スペアワード線が各メモリセルアレイに分散されて配置されているが、不良の正規ワード線を含むメモリセルアレイと異なるメモリセルアレイのスペアワード線が選択されることで、図12に示すような実施例と同様に、高速な読出しが可能となる。

【0170】なお、図15に示す実施例では、不良の正規ワード線を含むメモリセルアレイとスペアワード線を含むメモリセルアレイとがセンスアンプ領域を挟んでとなり同士であったため、センスアンプが同一のものが使用される例について示した。しかし、たとえばメモリセルアレイ741aとメモリセルアレイ741c間で不良の正規ワード線とスペアワード線の置換えが行なわれる場合には、使用されるセンスアンプは同一のものが使用されることはない。そこで、その場合不良の正規ワード

線に対応したビット線とセンスアンプとを接続する接続トランジスタが活性化されたままであっても、それに接続されるセンスアンプが非活性化されれば、データの読出しは行なわれない。したがって、このような場合には、不良の正規ワード線に対応のビット線とセンスアンプと接続する接続トランジスタの非活性化の動作は必ずしも必要とされない。

【0171】また、図15に示す実施例では、不良の正規ワード線をスペアワード線で置換えることについて説明したが、不良のビット線をスペアビット線に置換えられる場合も同様である。

【0172】さらに、図12に示す実施例および図15に示す実施例においては、読出しの際のアクセスについて説明したが、たとえば書込みの際のアクセスについても同様に適用すれば、高速なアクセスの可能な書込みが行なわれる。

【0173】

【発明の効果】以上のように請求項1の発明によれば、スイッチング手段を固定電位が与えられることによってオフされた場合に、プログラム素子が第2電位ノードと接続されず、電荷供給手段が第1電位ノードの電位に基づいてのみ電荷を供給するので、プログラム素子がプログラムされることなく、プログラム素子がプログラムされた状態と等価な状態が得られ、プログラム素子がプログラムされた場合にアクセスされるべきメモリセルへのアクセスが可能となる。

【0174】さらに、請求項2から5の発明によれば、第1のプログラム素子がプログラムされずスペアメモリセルのアクセスが行なわれない場合にスペアメモリセル選択手段によってスペアメモリセルを検査するときに、スイッチング手段を所定の固定電位が与えられることに応じてオフさせることで第2のプログラム素子が第2電位ノードと接続されず、第2のプログラム素子がプログラムされていないにもかかわらずプログラムされたことと等価な状態が得られ、電荷供給手段は第1電位ノードの電位のみに基づいてスペアメモリセルを検査するための電荷を供給できる。

【0175】さらに、請求項6および7の発明によれば、複数のメモリセルのいずれかにアクセスするためのアドレスをスペアメモリセルにアクセスするためのアドレスに変更する変更手段の第1のスイッチング手段が所定の固定電位が与えられることによってオフして第1のプログラム素子と第2電位ノードとが接続されず、第1のプログラム素子がプログラムされていないにもかかわらずプログラムされた状態と等価な状態が得られ、第1の電荷供給手段はスペアメモリセルにアクセスするためのアドレスに変更するような電荷供給をでき、スペアメモリセルを検査するためのスペアメモリセル選択手段の第2のスイッチング手段が固定電位が与えられることに応じてオフして第2のプログラム素子は第2電位ノード

と接続されず、第2のプログラム素子がプログラムされていないにもかかわらずプログラムされた状態と等価な状態が得られ、第2の電荷供給手段は第1電位ノードの電位に基づいてのみスペアメモリセルを検査するための電荷供給を行なえる。

【0176】さらに、請求項8および9の発明によれば、複数のスペアメモリセルの各々をアクセスするためのアドレスに応じて制御手段が、第2のスイッチング手段に所定の固定電位を与えてオフさせて対応のプログラム素子を第2の電位ノードと接続させず、対応のプログラム素子がプログラムされていないにもかかわらずプログラムされた状態と等価な状態が得られ、複数のプログラム素子がいずれもプログラムされることなく複数のスペアメモリセルのそれぞれをアクセスしてその検査を行なえる。

【0177】さらに、請求項10の発明によれば、それぞれが行および列方向に配設された複数のメモリセルの各行および各列に対応して配設された複数のメモリセルを行方向で第1の検査手段が指定して検査し、列方向で第2の検査手段が検査するので、すべてのスペアメモリセルを指定して検査できる。

【0178】さらに、請求項11の発明によれば、スペアメモリセルをアクセスするためのアドレスとそのアドレスに対応の複数のメモリセルのいずれかをアクセスするためのアドレスとに応じて活性化手段がスペアメモリセルおよび対応のメモリセルを活性化し、比較手段の比較結果に応じてアクセス制御手段が活性化手段で活性化されたスペアメモリセルおよび対応のメモリセルの一方のみにアクセスするので、たとえば対応のメモリセルを活性化状態から非活性化状態にしてスペアメモリセルを活性化するような場合に比べて、高速なアクセスが可能となる。

【0179】さらに、請求項12および13の発明によれば、プログラム設定手段によってスペアメモリセルアレイに有される複数のスペアメモリセルのいずれかをアクセスするためのアドレスがプログラム設定されており、メモリセルアレイに有される複数のメモリセルのいずれかをアクセスするためのアドレスとプログラム設定手段がプログラム設定したアドレスに応じて、メモリセルアレイ内のワード線およびスペアメモリセルアレイ内のスペアワード線を活性化手段によってともに活性化し、比較手段の比較結果に応じて、メモリセルアレイ内のビット線の電位またはスペアメモリセルアレイ内のスペアビット線の電位を増幅する増幅手段とビット線またはスペアビット線とを接続手段によって接続するので、たとえばワード線を活性化状態から非活性化状態にしてスペアワード線を活性化するような場合に比べて、高速なアクセスが可能となる。

【0180】さらに、請求項14の発明によれば、複数のメモリセルおよび複数のスペアメモリセルを有する第

2のメモリセルアレイの複数のスペアメモリセルのいずれかをアクセスするためのアドレスのプログラム設定をプログラム設定手段によって行なっており、第1のメモリセルアレイの複数のメモリセルのいずれかをアクセスするためのアドレスとプログラム設定手段がプログラム設定したアドレスに応じて、第1のメモリセルアレイのワード線および第2のメモリセルアレイのワード線を活性化手段によって活性化し、比較手段の比較結果に応じて、第1のメモリセルアレイのビット線の電位または第2のメモリセルアレイのビット線の電位を増幅する増幅手段と第1のメモリセルアレイのビット線または第2のメモリセルアレイのビット線とを接続手段によって接続するので、たとえば第1のメモリセルアレイのワード線を活性化状態から非活性化状態にして第2のメモリセルアレイのワード線を活性化する場合に比べて、高速なアクセスを行なえる。

【図面の簡単な説明】

【図1】 この発明の第1の実施例による半導体記憶装置の冗長制御部を示した図である。

【図2】 この発明の第2の実施例の半導体記憶装置の冗長制御部の要部を示した図であって、図1の冗長選択回路の他の例を示した図である。

【図3】 この発明の第2の実施例による半導体記憶装置の冗長制御部の要部を示した図であって、図1の冗長ヒューズ回路の他の例を示した図である。

【図4】 この発明の第3の実施例による半導体記憶装置の冗長制御部の要部を示した図であって、図1の冗長選択回路のさらに他の例を示した図である。

【図5】 この発明の第3の実施例による半導体記憶装置の冗長制御部の要部を示した図であって、図1の冗長ヒューズ回路のさらに他の例を示した図である。

【図6】 この発明の第4の実施例による半導体記憶装置のデコード部を示した回路図である。

【図7】 この発明の第5の実施例による半導体記憶装置のデコード部を示した回路図である。

【図8】 図7に示された回路の動作を説明するための第1の図であって、スペアメモリセルを選択するための冗長の決定を行なう原理を説明するための図である。

【図9】 図7に示した回路の動作を説明するための第2の図であって、スペアメモリテスト用のヒューズプログラミングの原理を説明するための図である。

【図10】 この発明の第6の実施例による半導体記憶装置の概略を示した図である。

【図11】 図10に示された半導体記憶装置によって解決された問題を説明するための図である。

【図12】 この発明の第7の実施例による半導体記憶装置の概略ブロック図である。

【図13】 図12に示された半導体記憶装置の要部を示した図である。

【図14】 図12に示された半導体記憶装置を実現す

るためのデコード部を示した回路図である。

【図15】 この発明の第8の実施例による半導体記憶装置の概略ブロック図である。

【図16】 従来の半導体記憶装置のデコード部を示した回路図である。

【図17】 従来の他の半導体記憶装置の冗長制御部を示した回路図である。

【図18】 従来のさらに他の半導体記憶装置の概略ブロック図である。

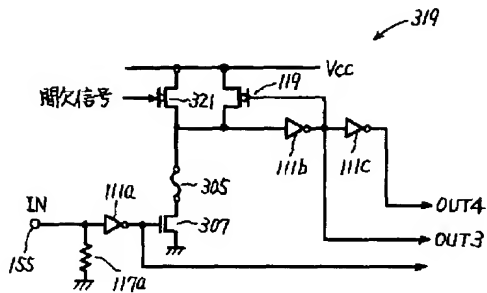
【図19】 図18に示された半導体記憶装置の要部を示した図である。

【符号の説明】

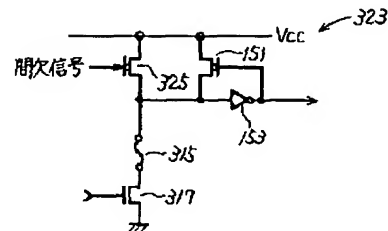
123 ヒューズ、303, 313 抵抗、305, 315 ヒューズ、307 NチャネルMOSトランジスタ、321, 331 PチャネルMOSトランジスタ、5 スペアメモリ回路、1a~1d 正規メモリ回路、401 選択回路、403 プログラミング回路、405, 413 ヒューズ、407, 415a Pチャネル

MOSトランジスタ、409a, 409b, 417a NチャネルMOSトランジスタ、519a~519h, 533a~533d, 539a~539d, 547a~547h, 549a~549d, 553a~553d, 559a~559d, 561a~561h, 565a~565d NチャネルMOSトランジスタ、521a~521h, 543a~543h, 555a~555h ヒューズ、523, 531a~531d, 535, 537, 551a~551d, 563a~563d PチャネルMOSトランジスタ、603 正規メモリセル領域、605 スペアメモリセル領域、607 コラム系のテスト回路部、609 ロウ系のテスト回路部、701, 739 半導体記憶装置、703a~703c メモリセルアレイ、707a, 707b スペアメモリセルアレイ、723, 753 比較回路、725, 755 プログラミング回路、721, 751 アドレスバッファ、727a, 733a, 757, 759 接続トランジスタ。

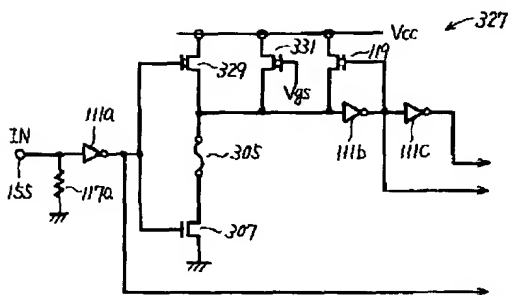
【図2】



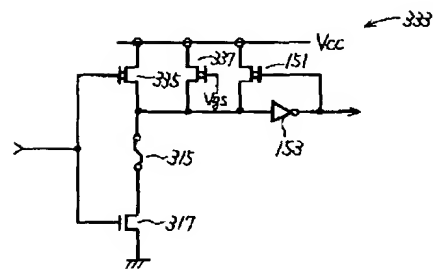
【図3】



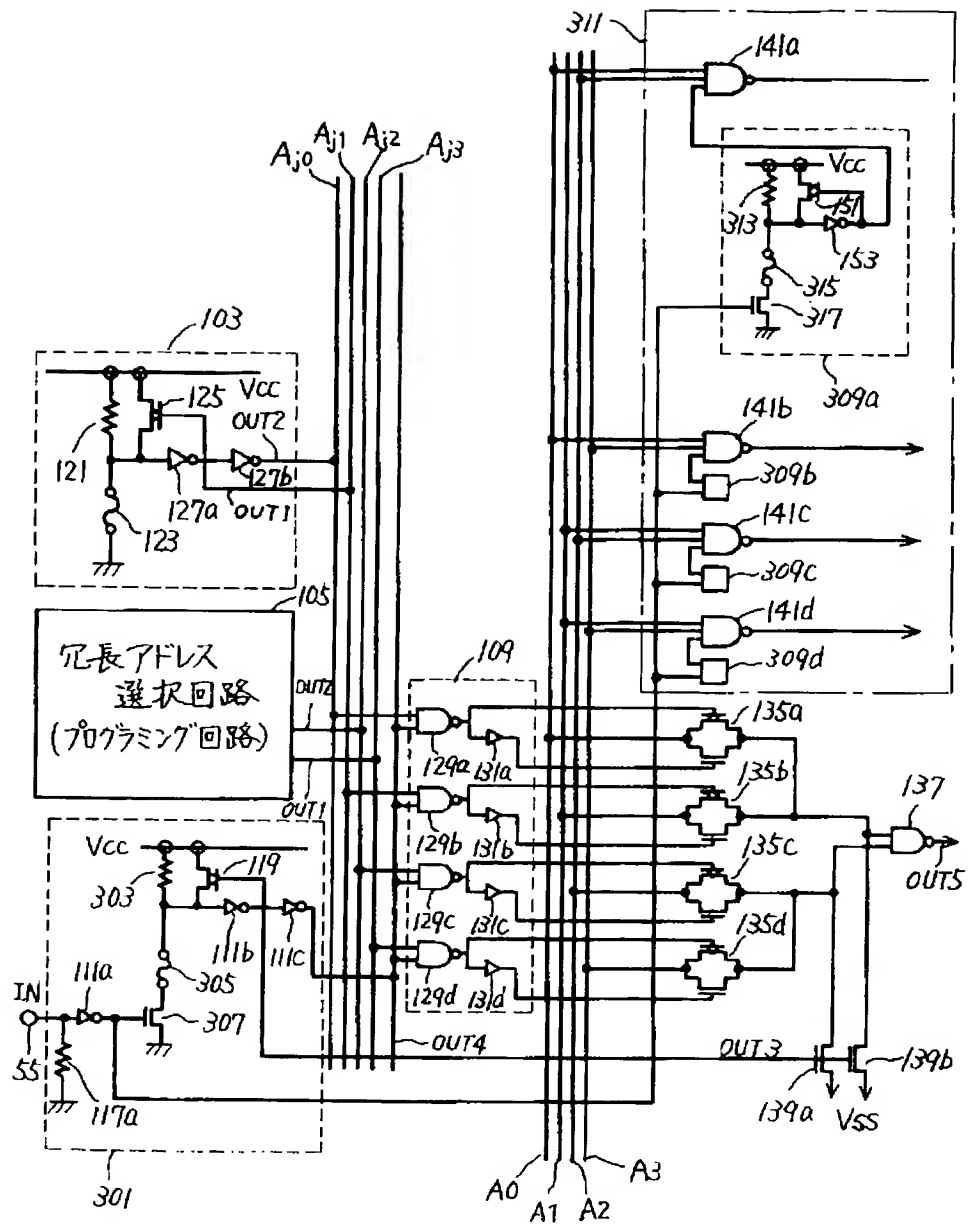
【図4】



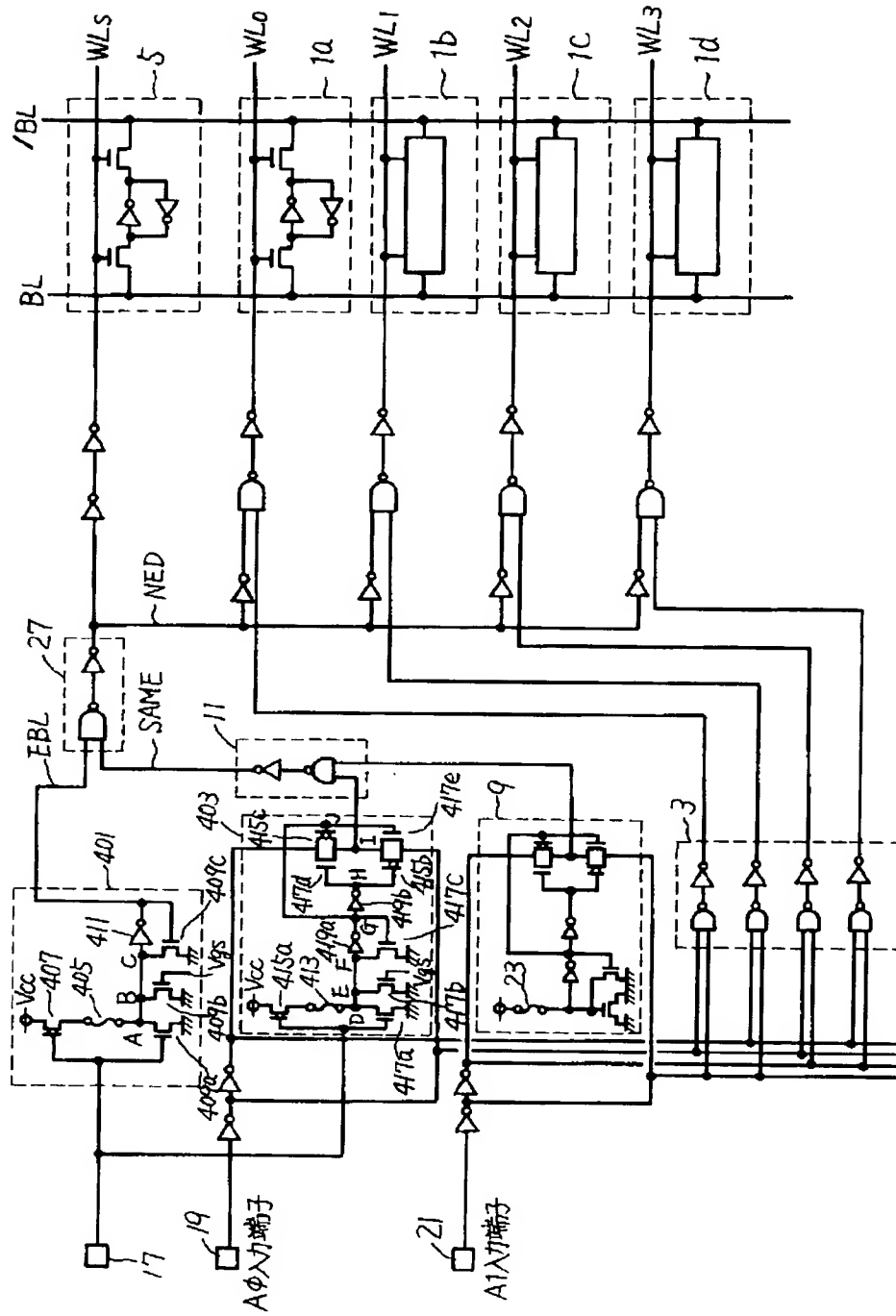
【図5】



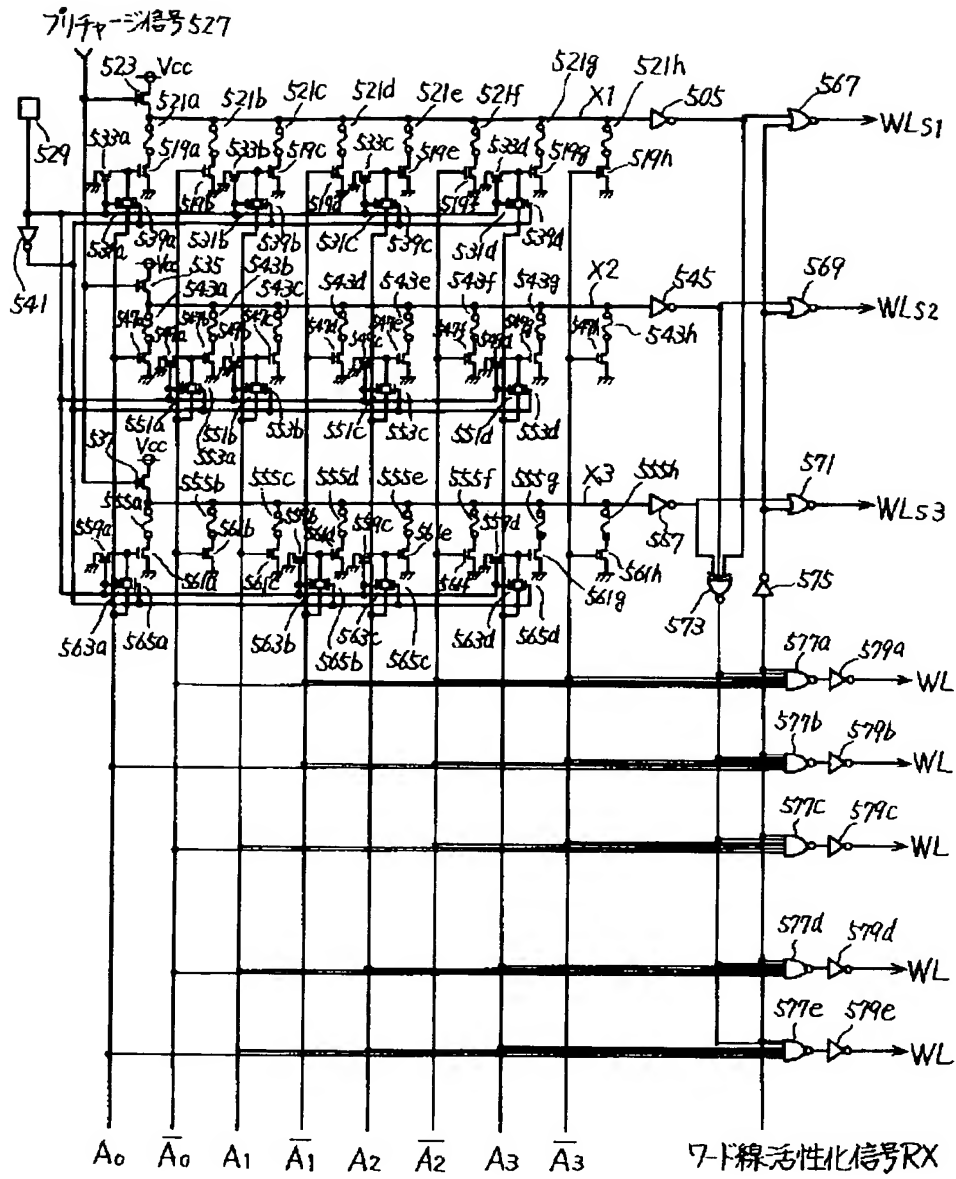
【図 1】



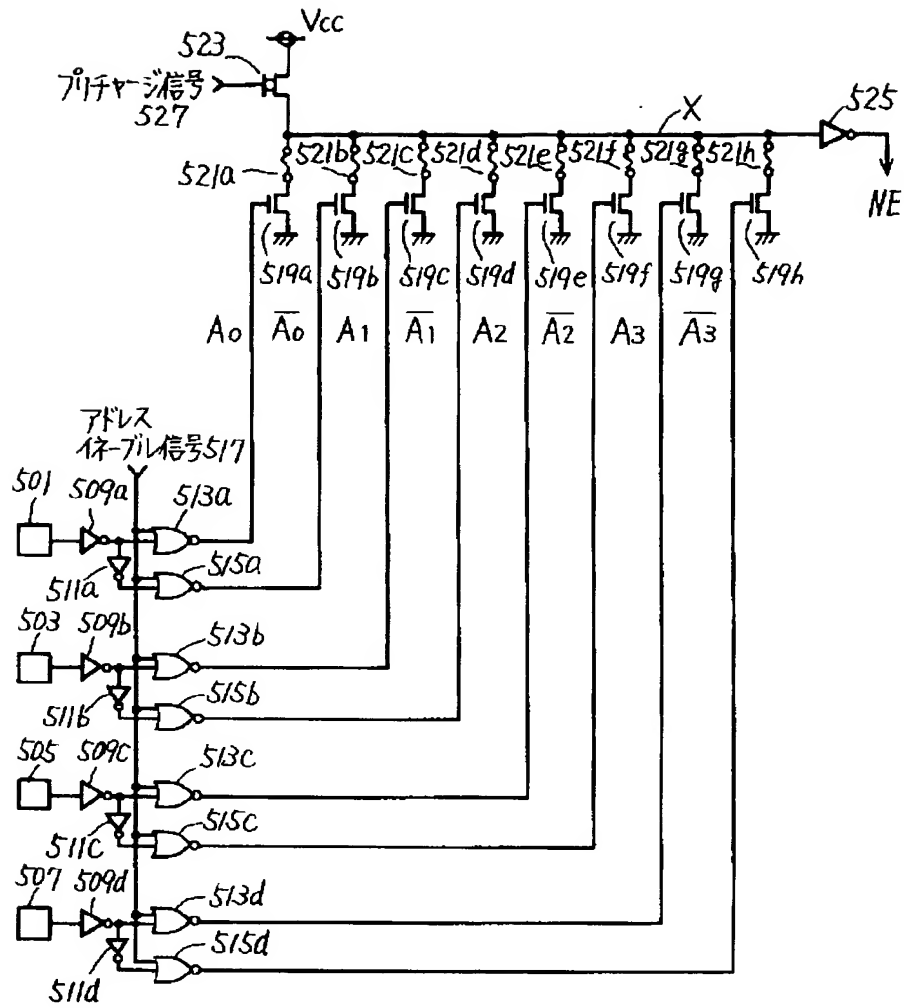
【図 6】



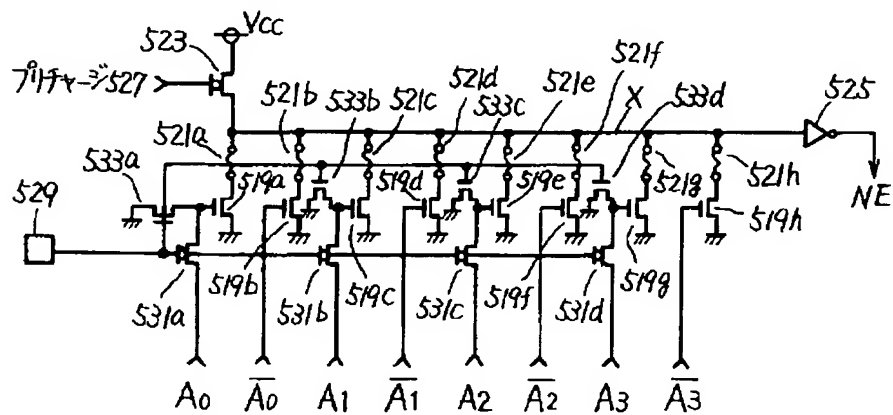
【図 7】



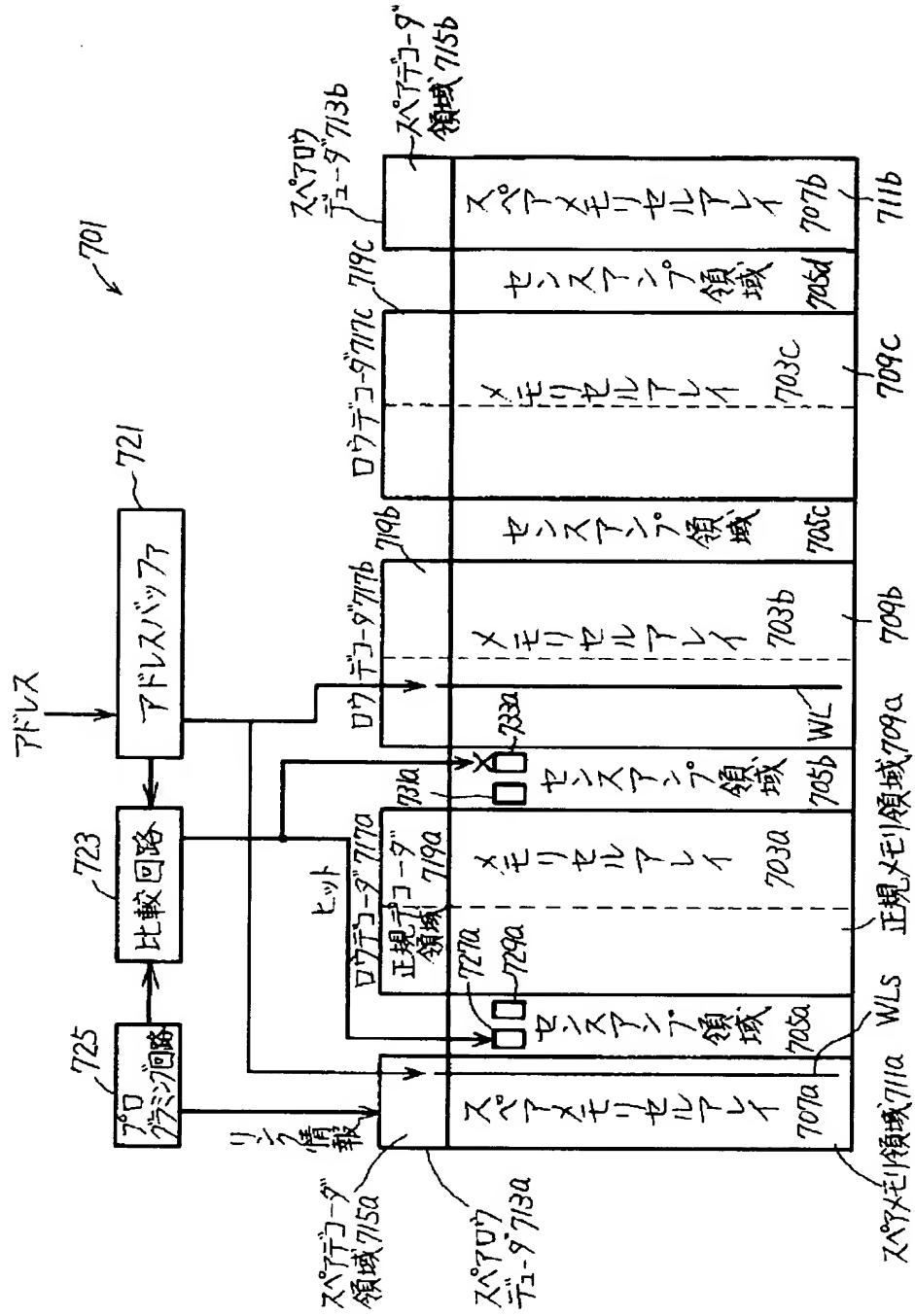
【図 8】



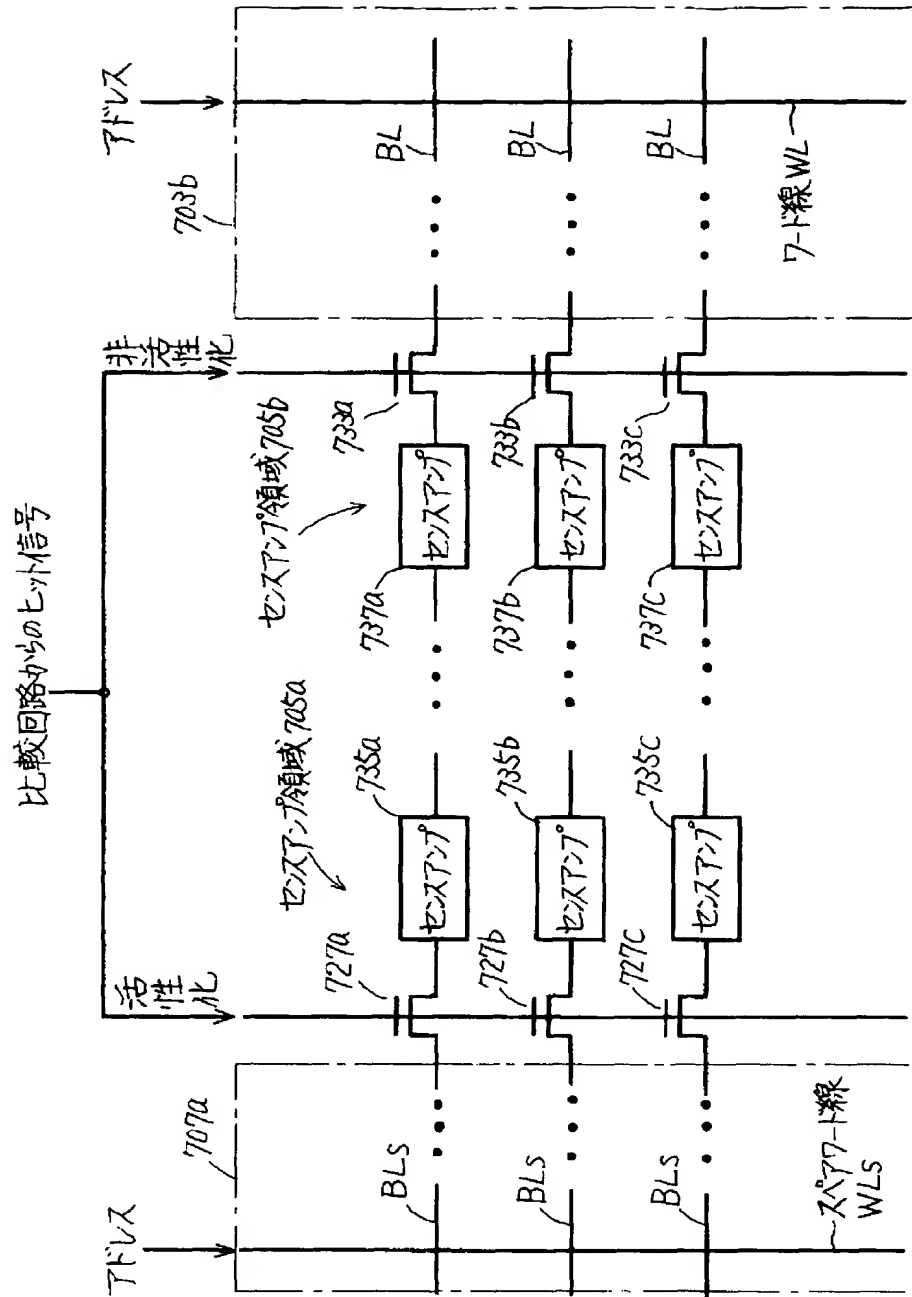
【図 9】



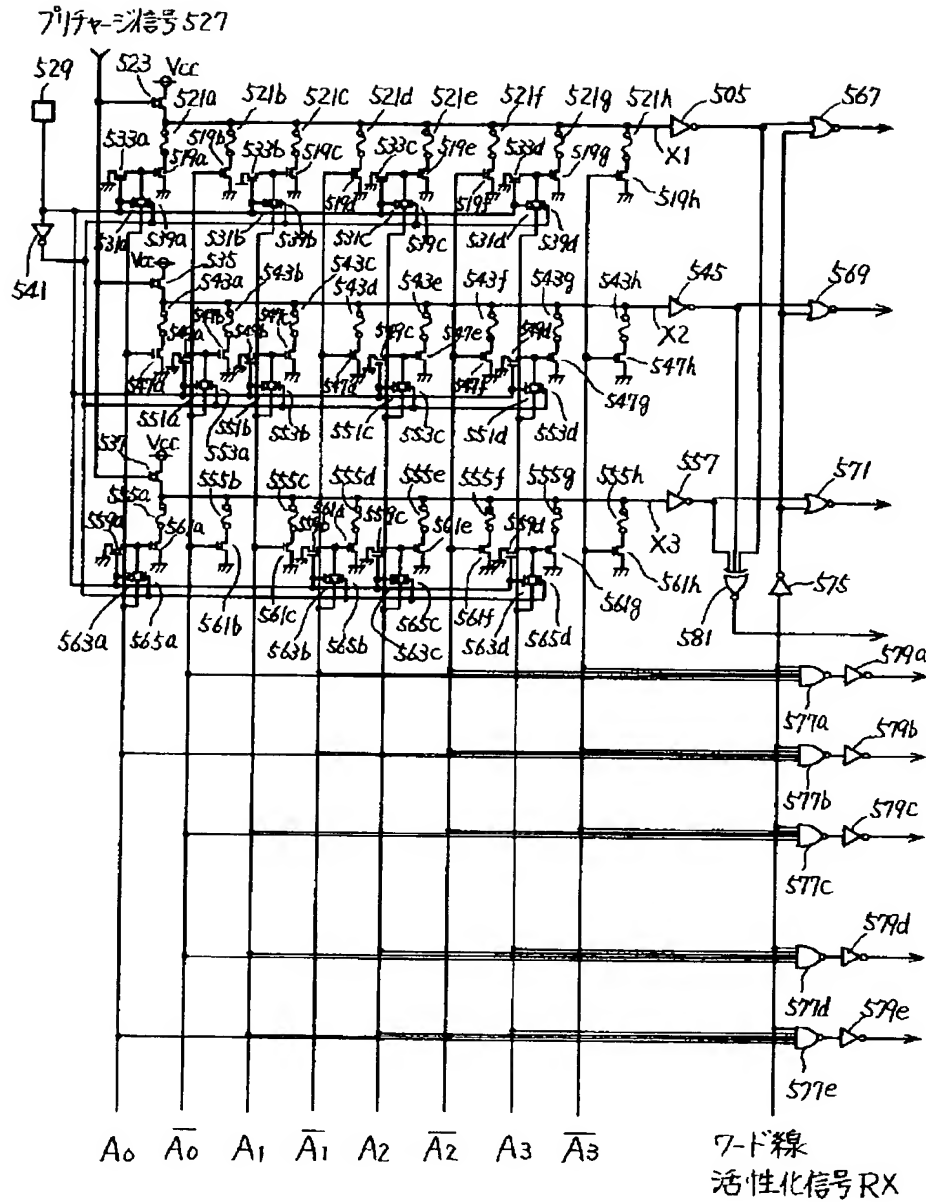
【図12】



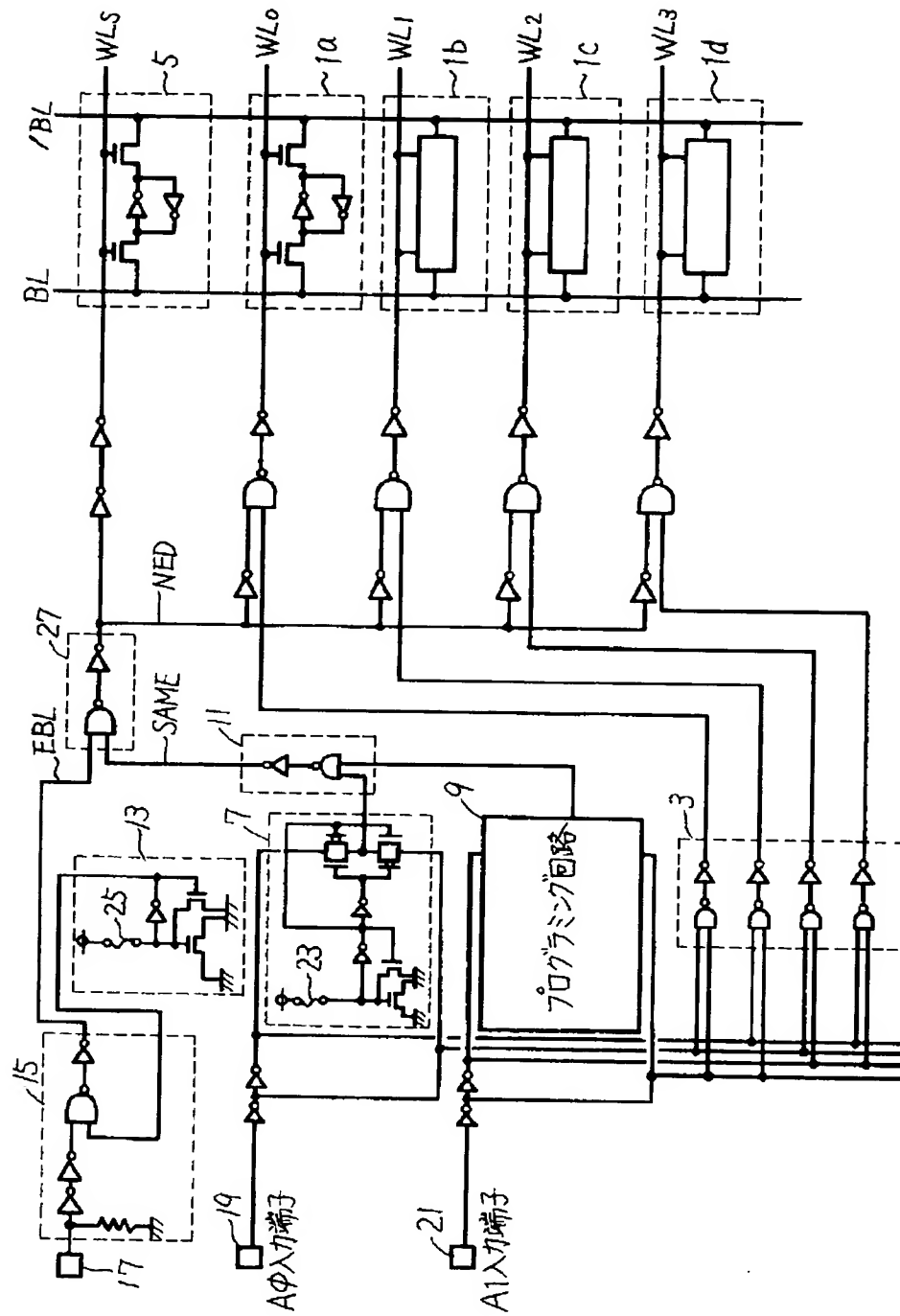
【図 13】



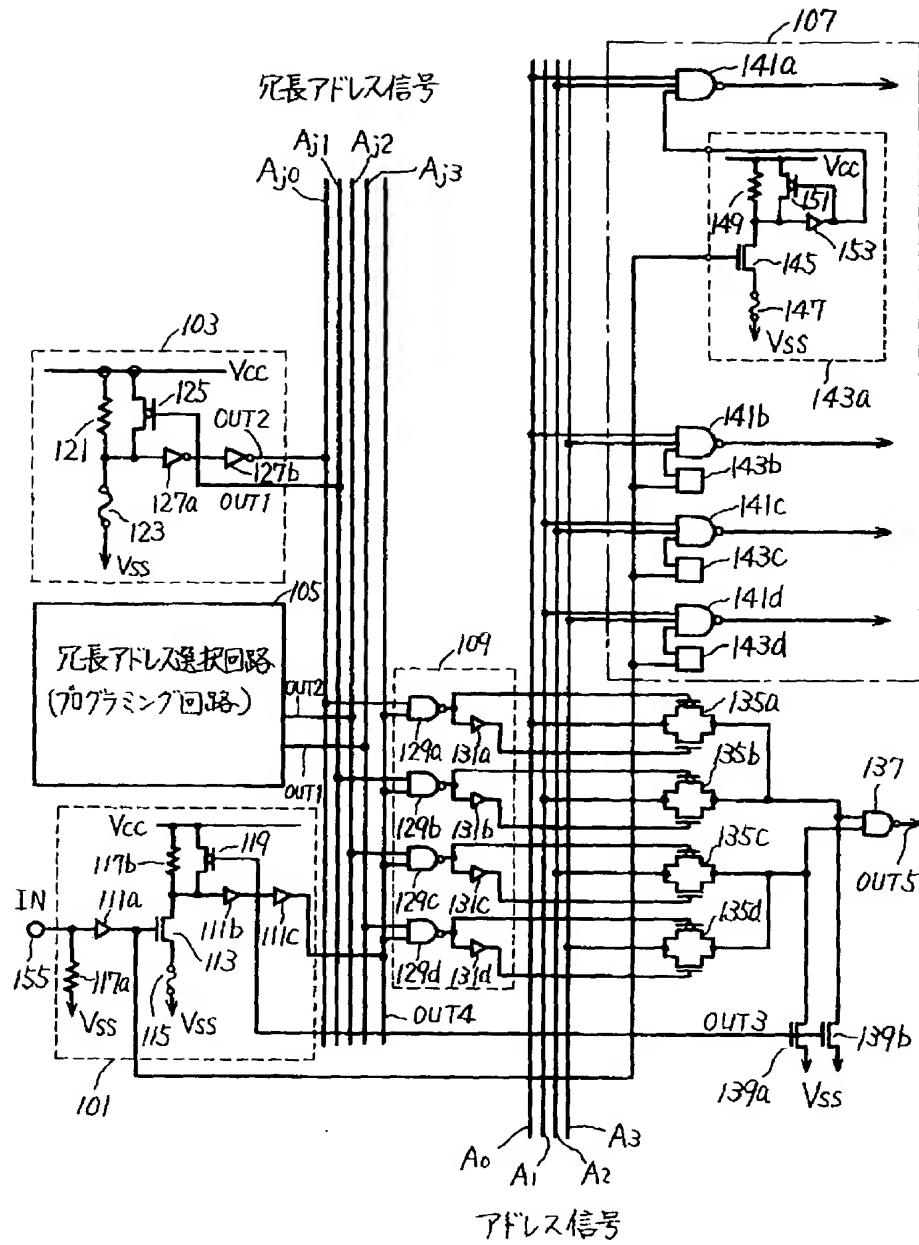
【図14】



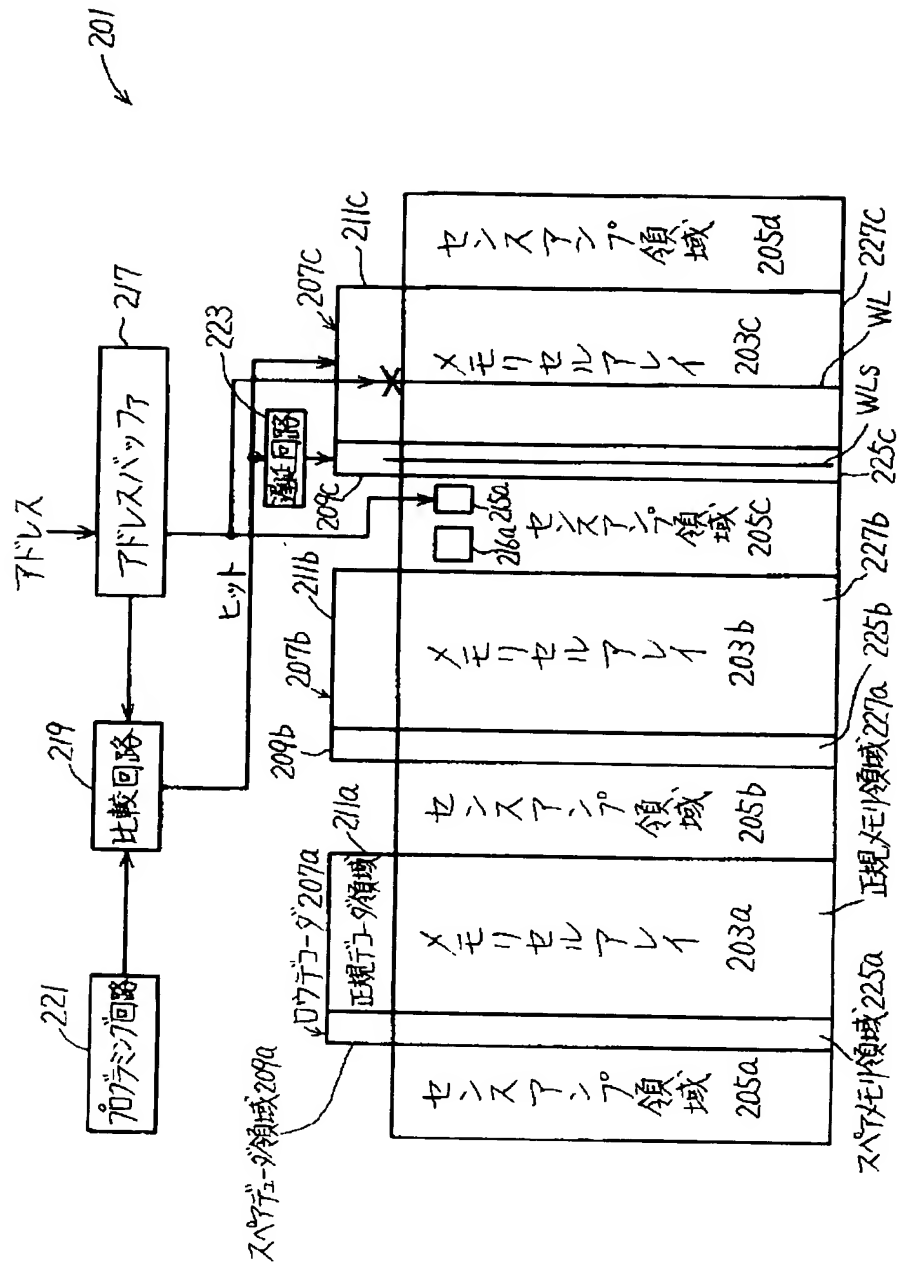
【図 16】



【図 17】



【図18】



【図19】

